

# 組み合わせ回路の遅延時間に適した耐放射線フリップフロップの提案

Impact of Combinational Logic Delay for Single Event Upset on Flip Flops in a 65 nm FDSOI Process

小林 和淑<sup>1)</sup>

古田 潤<sup>1)</sup>

Kazutoshi KOBAYASHI

Jun FURUTA

<sup>1)</sup> 京都工芸繊維大学

(概要) 本研究では放射線によるエラーが組み合わせ回路を伝播することで初めてエラーとなることを利用し、組み合わせ回路の遅延時間の大きさに合わせて最適な耐放射線構造を提案することを目的とする。本測定では提案するスレイブラッチのみに対策を行ったフリップフロップ (FF) に重イオンを照射して組み合わせ回路による除去効果と提案する FF の耐性を評価した。組み合わせ回路の遅延時間がクロック周期に対して相対的に多い条件では、提案する FF の率が 1/2 から 1/4 に減少し、通常の FF の 1/5 のソフトエラー率を実現することを確認した。

**キーワード**：集積回路、ソフトエラー、FDSOI プロセス

## 1. 目的

スーパーコンピュータに代表される大規模演算システムでは、その計算能力だけでなく消費電力の抑制や外的要因で演算結果が損なわれない信頼性が不可欠である。信頼性において最も問題となるのが放射線によって引き起こされるシングルイベント効果である。シングルイベント効果が生じると記憶素子の値が反転してしまうため、回路を3重化して多数決をとるなどの対策が使用される。しかし回路全体を3重化する場合では消費電力も3倍となってしまうため、放射線に敏感な部分のみに対策を行い、過剰な多重化を避ける必要がある。本研究では記憶素子の一種であるフリップフロップ (FF) に焦点を絞り、FFの一部のみを多重化することで放射線耐性の向上を目指す。

集積回路は値の演算を行う組み合わせ回路と、その演算結果を一時的に保存してほかの組み合わせ回路の演算結果との同期を保証する記憶素子、FFから構成される。シングルイベント効果ではこのFFの保持値の反転を引き起こすため、FFを多重化などの対策が取られる。この演算結果の同期(保存値と出力値の更新)はクロック信号(CLK)の立ち上がりのタイミングで行われる。そのため、組み合わせ回路の演算結果がシングルイベント効果によって変化しても、CLKの立ち上がりの後であれば既に演算結果がFFに保存されているため、回路の誤動作(ソフトエラー)とはならない。組み合わせ回路における放射線の影響、SET (Single Event Transient) と呼ばれる現象は、このようにCLKに対する放射線衝突タイミングが大きく影響することが知られている(図1)。

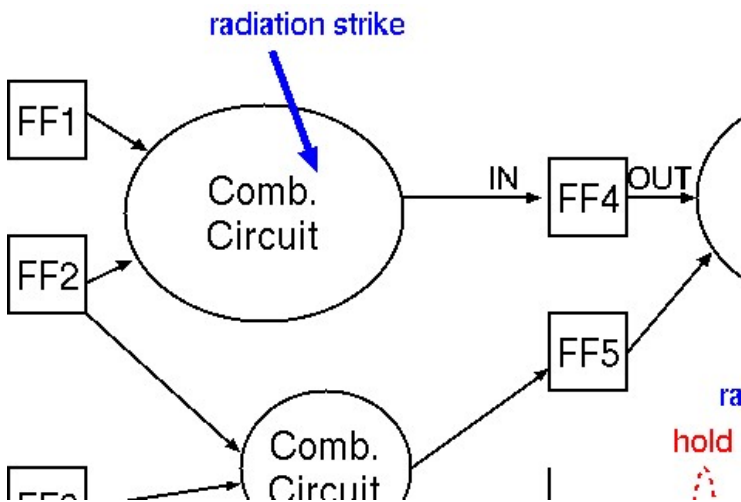


図1 FF4の入出力値を例としたFFの動作説明。青線は放射線による一時的な反転 (SET) を示す。クロック信号 (CLK) の立ち上がり時に入力の値 (IN) を保存 (hold) するため、それ以外のタイミングのエラーは出力 (OUT) に影響せず、正しい値を保つ。

上記で説明した SET のクロック信号のタイミング依存性は、FF におけるシングルイベント効果であり、FF の保持値を直接反転する SEU(Single Event Upset)にも存在すると予想される。例えば図 1 の FF4 で SEU が生じた場合では確かにその出力である OUT は即座に間違っただけに変化し、CLK が立ち上がるまで間違っただけの値を出力してしまう。しかし、この SEU による反転は FF6 に到達して保存されなければ FF6 の出力に影響しない。つまり CLK が立ち上がる前に FF4 で SEU が発生し、組み合わせ回路を伝搬して FF6 に到達していなければならない。そのため組み合わせ回路の遅延時間が非常に長く、クロック信号の周期に近い場合では、FF4 で生じた SEU は FF6 に取り込まれないことになる [1]。本測定ではこの SEU の組み合わせ回路の遅延時間に対する依存性を確認し、依存性を利用したソフトウェア対策を提案する [2]。

## 2. 実施方法

SEU の組み合わせ回路の遅延時間に対する依存性を確認するために、異なる 2 つのクロック周期を適応可能な回路を設計した。長いクロック周期 ( $2\mu\text{s}$ ) では組み合わせ回路の遅延時間である  $1.1\text{ ns}$  が相対的に小さくなるため、FF で生じた SEU はほぼすべて次段の FF に取り込まれる構造となっている。一方で、短いクロック周期 ( $2\text{ ns}$ ) では組み合わせ回路の遅延時間がおおよそ半分を占めるため、生じた SEU の半分は遅延時間によって除去されると推測される (図 2)。

設計した提案 FF である stacked FF の構造を図 3 に示す。FF は 2 つのラッチであるマスターラッチとスレイブラッチで構成され、クロック信号が High の時にはマスターラッチで値を保持しており、Low の時にはスレイブラッチにて値が保持される。提案する図 3 の回路ではマスターラッチのみにスタック構造と呼ばれるソフトウェア対策を行っており、スレイブラッチは通常のソフトウェア対策を施していない FF と同等である。図 2 で示したように、遅延時間がクロック周期の半分を占める場合 ( $2\text{ ns}$  のクロック周期を適用した場合) では CLK の立ち上がりタイミングの  $1.1\text{ ns}$  前までの SEU はすべて FF2 に保存されない。よってスレイブラッチが保持しているクロック信号が 0 の時の SEU はすべて除去されるために、スレイブラッチにおける SEU の対策は不必要となる。本測定ではそれぞれのクロック周期において測定を行い、短いクロック周期時にエラー数が減少することを確認することで、SEU の組み合わせ回路の遅延時間に対する依存性を確認し、提案するソフトウェア対策手法が有効であることを示す。

測定では提案 FF に重イオンを一定数照射し、照射後に FF が保持している値を読み出し、重イオンによって保持値の反転した個数を数えることでソフトウェアエラー率を測定する。重イオン照射では AVF サイクロトロンのカクテル 5 を用いた。Kr イオン ( $230\text{ MeV}$ )、Ar イオン ( $107\text{ MeV}$ ) の照射を行い、照射した粒子数はそれぞれ約 5 億個と 4 億個 ( $\text{ion}/\text{cm}^2$ ) である。測定には JAXA 所有のシングルイベント耐性評価チャンバーを利用し、真空での測定を行った。

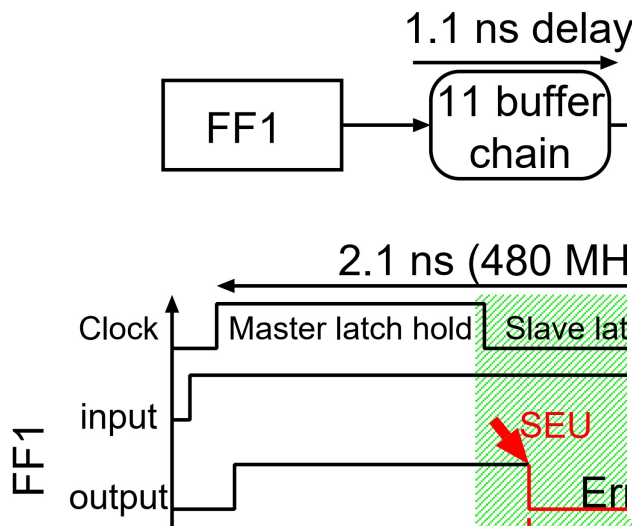


図 2 短いクロック周期を適用した場合の SEU 除去範囲。横軸は時間を表し、赤線は放射線によって反転した値を示す。

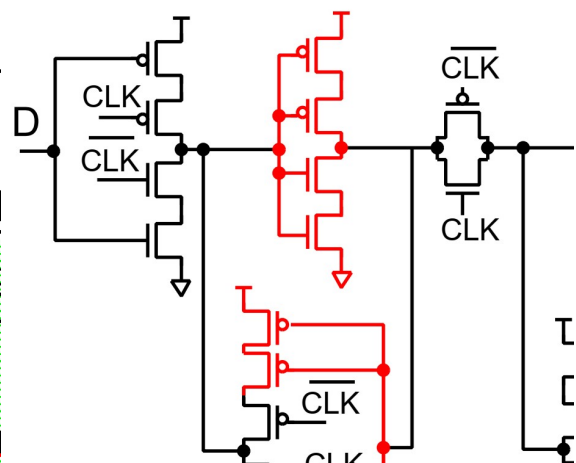


図 3 提案する FF 構造。マスターラッチ (左側) のみ放射線耐性を付与することで、回路性能と信頼性の両立を実現する。

### 3. 結果及び考察、今後の展開等

クロック周期を 2ns と 2 $\mu$ s とした場合のソフトエラー率を測定した結果を図 4 に示す。縦軸は衝突断面積であり、ソフトエラー率を照射した重イオンの Fluence で除算した値である。各クロック周期に対して FF の保持値 (data) の値を 1 または 0 に設定してそれぞれソフトエラー率を測定した。図 4 における ACFF も図 3 に示した stacked FF と同じくマスターラッチにのみ別の放射線対策を施した FF であり、DFF は放射線対策を施していない一般的な構造の FF である。

図 1 に示すように短いクロック周期を適用した場合では、提案する FF の衝突断面積が長いクロック周期の場合と比較して 1/2 から 1/4 に減少することを確認した。は組み合わせ回路によるエラーの除去効果が確認でき、提案する FF の対策手法の有用性を確認した。しかし、通常の FF である DFF と比較するとそのソフトエラー率は 1/5 程度にしか減少しておらず、想定よりもソフトエラー耐性の向上率が小さい。この原因として、短いクロック周期を適用した場合はクロックの立ち上がり回数が 1000 倍多いため、図 1 で説明した SET によるエラーが増加し、組み合わせ回路の遅延時間による除去効果によるエラー率の低減が見えにくくなったことが考えられる。今後の研究では SET によるエラーを分離して測定可能な回路を設計し、再測定する予定である。

### 4. 引用(参照)文献等

- [1] R. M. Chen et. al, RADECS2016, pp. 1 - 4.  
 [2] J. Furuta et. al., IRPS2019, pp. P. SE. 3. 1-P. SE. 3. 4

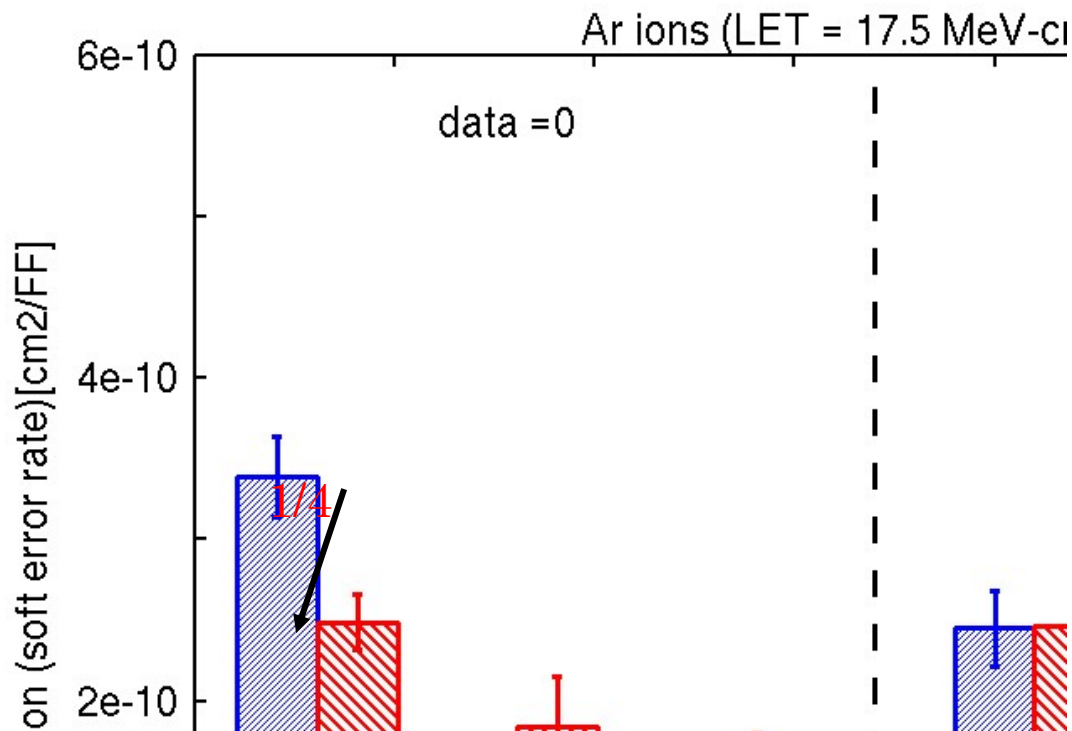


図 5 Ar イオンによるソフトエラー率の評価結果。短いクロック周期を適用すると、提案構造である stacked FF と ACFF はエラー率が減少する。一方でソフトエラー対策のない標準の FF である DFF ではソフトエラー率が減少しない。