課題番号 <u>2021A - C04</u> 利用区分 成果公開(学術)

重イオン照射による最先端の SOI プロセスで試作された 低電力かつ耐放射線フリップフロップの評価

Measurement of Heavy-ion-induced Soft Error Rates on Low-power Flip-Flops Fabricated in an Advanced Process

古田 潤1)

小林 和淑 1)

Jun Furuta

Kazutoshi Kobayashi

¹⁾京都工芸繊維大学

(概要)

本研究では重イオンの照射実験を行うことで、集積回路の信頼性問題であるソフトエラーの発生率の評価を行った。ガードゲート構造を利用した提案フリップフロップ、FRFF と通常のフリップフロ ップを 22nm SOI プロセスにて設計・製造し、そのソフトエラー耐性の向上量を確認した。その結 果、Ar イオンにおけるエラー耐性の向上量は約 100 倍であり、Kr イオンにおける向上量は約 10 倍 であることを実測により示した。65nm プロセスの FRFF では一部の条件でエラーが生じていたが、 22nm プロセスでの測定結果ではすべての条件でエラーが発生しないことを確認した。

キーワード:集積回路信頼性 ソフトエラー SOI プロセス 耐放射線フリップフロップ

1. 目的

荷電イオンが集積回路を通過すると、その電離作用によって予期せぬ場所に電荷が発生する。その結果、 集積回路が保持するデータが反転し、一時的な誤動作(ソフトエラー)の原因となる。本研究では集積回 路における記憶素子の一種であるフリップフロップ(FF)の耐放射線構造の提案を行い、回路性能の低下を 抑制しながら放射線耐性を向上させるのを目的とする。重イオン照射実験では、提案する耐放射線 FF の構 造を、最先端の SOI プロセスである 22nm プロセスで試作し、重イオン照射実験を利用してソフトエラー耐 性の測定を行う。微細化が進むと複数のトランジスタが放射線の影響を受けるため、耐放射線フリップフ ロップのソフトエラー率は上昇する傾向にあるが、最先端プロセスでも提案する回路構造によってソフト エラー耐性が向上できることを確認する。

<u>2. 実施方法</u>

22nm FDSOI プロセスにて試作したチップに、JAXA 所有の真空チャンバーを利用して重イオンを照射する ことで FF のソフトエラー率を測定する。試作したチップには通常使用される FF の他に、提案する耐放射 線 FF である DFRFF、遅延を増加させて放射線耐性をより高くした DFRFFLD などを集積している。これらの ソフトエラー率を比較することで提案する FRFF の有用性を確認する。重イオン照射では AVF サイクロトロ ンのカクテル5を用いた。Kr イオンと Ar イオンの照射を行い、照射した粒子数はそれぞれ 1.20 億個/cm² と 2.85 億個/cm²である。FF には入力信号の DATA、制御信号である CLK、出力の Q の 3 つの端子があり、そ れぞれの端子は 0 (グラウンド電位) または 1 (電源電位) の値をとる。FF は CLK の値が 0 から 1 へ変化す る時に DATA の値を保存し、保存した値を Q から出力する回路である。回路の入力値の状態の組み合わせと して、主に (DATA, CLK) = (0, 0), (1, 0), (0, 1), (1, 1)の 4 種類がある。これらの 4 入力状態それぞ れにおいてソフトエラー耐性を測定した。

課題番号 <u>2021A-CO4</u> 利用区分 成果公開(学術)

測定対象である FRFF について説明する。まず、2019 年に重イオン照射測定した FRFF の回路構造を図 1 に示す[1]。FRFF は図 2 のガードゲート構造[2]を基にした回路である。ガードゲート構造は遅延素子と C-element で構成された構造であり、C-element の入力 2 つの信号ピンに同一の値が入力された場合に出力 が変化する特性を利用した回路である。入力に放射線によるノイズ(反転)が発生しても、遅延素子によっ て C-element に到達する時間がずれる。そのため、C-element の出力は反転せず、放射線によるノイズが除 去される。FRFF はこのガードゲート構造を FF 内部に組み込んだ構造である。FRFF では回路の遅延時間を 改善するために接続の工夫を行っている。C-element の出力を用いるのではなく、一旦入力信号を出力する。 その後、放射線によるノイズの場合ではその出力を訂正する構成とすることで、遅延時間の増加を抑制し ている。同時に元々FF を構成するのに使用していたインバータを再利用して遅延生成をしている。通常の FF と比べ最短経路は変化しないため遅延時間の増加は 10%程度である。

2021 年度の測定では、ガードゲート構造の遅延時間を増加した構造を 22nm FDS0I プロセスにて試作を行った。設計した回路図の一例を図 3 に示す。図 1 ではセカンダリーラッチからプライマリーラッチの C-element に返す値を、出力のインバータから返すように接続することで、ガードゲート構造にインバータ 2 段分の遅延時間を追加している。



図2 耐放射線フリップフロップである FRFF の構造



図 2 FRFF の動作原理。遅延により C-element への到達時間を変えることで、エラーを 除去



図3 FRFF の遅延時間を増加させ、放射線耐性を向上させた FRFFLD の回路構造

3. 結果及び考察、今後の展開等

Ar イオンによるソフトエラー率の評価結果を図4に、Kr イオンによる評価結果を図5に示す。比較対象 として、65nm プロセスの測定結果も右側に示している。

DFRFF では遅延時間が十分ではなく、一部の条件ではエラーが発生している。一方で遅延時間を増加させて いる DFRFFLD では、すべての条件でエラーが観測されなかった。通常の FF と比較して 2 桁以上の改善が達 成されている。65nm プロセスと比較してもエラー耐性が高い結果であり、微細化によって DFRFFLD のエラ 一耐性が悪化することはなく、ソフトエラーの対策として有効であることが確認できた。

4. 引用(参照)文献等

[1] M. Ebara et. al., "Evaluation of Soft-Error Tolerance by Neutrons and Heavy Ions on Flip Flops with Guard Gates in a 65 nm Thin BOX FDSOI Process", RADECS, 2020
[2] A. Balasubramanian et. al., "Rhbd techniques for mitigating effects of single-event hits using guardgates." IEEE Transactions on Nuclear Science, 52 (6):2531-2535, 2005



図4 Ar イオンにおけるソフトエラー率の測定結果。縦軸はエラー率を表す。

| 課題番号 | 2021A - CO4 |
|-------|-------------|
| 利用区分_ | 成果公開(学術) |



図5 Krイオンにおけるソフトエラー率の測定結果。縦軸はエラー率を表す。