

仕 様 書

1. 件名

入射同期トリガ信号発生機器の購入

2. 目的

本件は、国立研究開発法人量子科学技術研究開発機構(以下「QST」という。)が、官民地域パートナーシップにより運用する3GeV高輝度放射光施設(NanoTerasu)において、同期RF信号発生器、入射トリガタイミング同期RTM、トリガレベル変換器を購入するものである。

3. 仕様

- ・キャンドックス製 同期RF信号発生器 85SG238C01 1台 (相当品可)
- ・キャンドックス製 入射トリガタイミング同期RTM 72TSR508B01 1台 (相当品可)
- ・キャンドックス製 トリガレベル変換器 84TR03C 3台 (相当品可)

4. 詳細仕様

4.1 同期RF信号発生器 85SG238C01

4.1.1 大きさ

- ① 外観参考図を図1に示す
- ② 幅 19インチラック幅
- ③ 高さ 1Uから3Uサイズ
- ④ 奥行き 550 mm±10 mm (ハンドル部を除く)

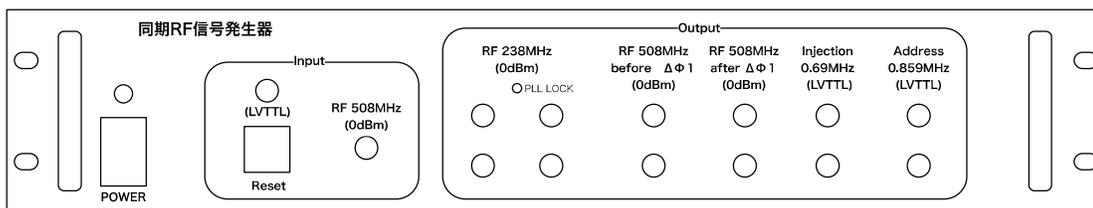
4.1.2 重さ

10 g 以下

4.1.3 回路の概要

- (1) 回路の入出力及び内部構成の概略参考図を図2に示す。
- (2) 508.76 MHz の RF 入力信号を IQ 変調で位相調整する。位相調整前の信号を2出力、位相調整後の信号をそれぞれ2出力する。
- (3) (2)の周波数をM1/N1(初期値356/761)倍し238 MHz の RF 信号を発生させる。
- (4) (3)の238 MHz の信号に対して位相制御を行い、4出力する。

- (5) (4)の信号をN2(初期値 356)分周し、入射可能タイミング信号 (M2によりタイミング設定可能) を2出力する。
- (6) 初期化 (スイッチ/トリガー/Ethernet) により(5)のパルスの立ち上がりでのタイミングで(2)の508.76 MHzのRF信号の位相及び(4)の238 MHzのRF信号の位相が一定値となるようにする。
- (7) 508.76 MHzのRF信号をN3(初期値 592)分周し任意のアドレス (M3)のタイミング信号を2出力する。
- (8) Ethernetを使って、分数に用いる整数M1,N1,M2,N2,M3,N3、位相設定 $\Phi 1$, $\Phi 2$ 、同期リセットを制御する。またこれらの設定値及び238 MHzのPLLのLock状態を出力する。
- (9) 238 MHzのPLLのLock状態をLED (Lock時 緑色LED)にて表示する。



フロントパネル側



リアパネル側

図1 外観参考図 (参考)

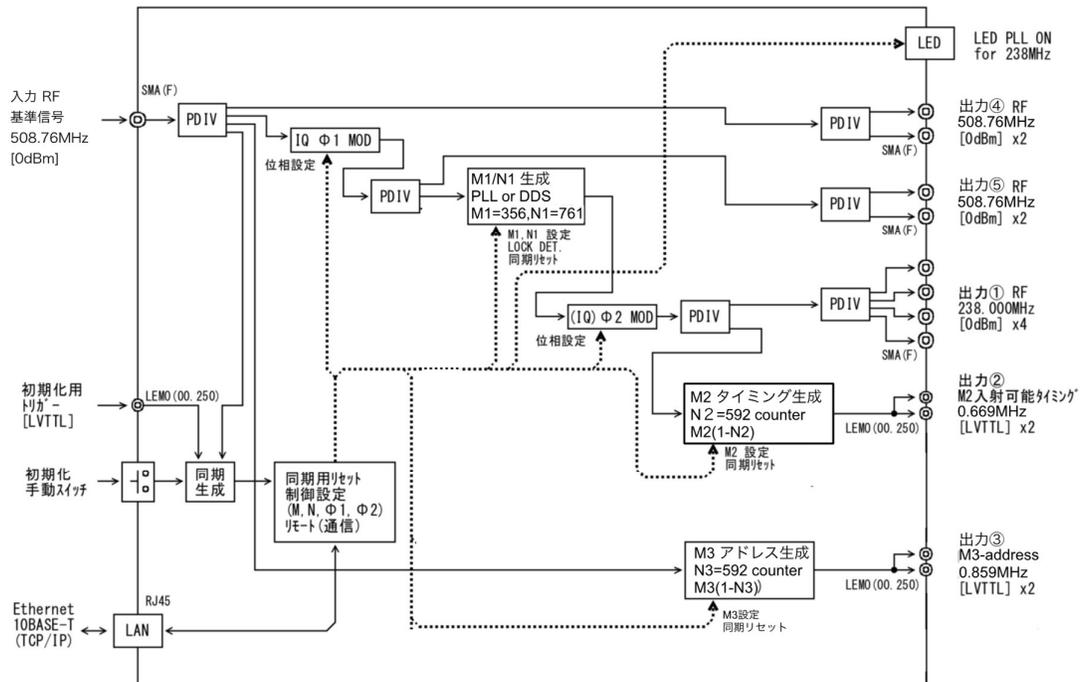


図2 回路構成図 (参考)

4.1.4 入出力信号

入力信号 1

信号の種類・個数 RF 信号・1 個
 周波数 $f_{in}=508.759 \text{ MHz} \pm 50 \text{ kHz}$
 レベル $0 \text{ dBm} \pm 3 \text{ dBm}$
 コネクタ SMA

入力信号 2

信号の種類・個数 リセット信号・1 個
 レベル LVTTL
 コネクタ LEMO

出力信号 1

信号の種類・個数 RF 信号・4 個
 周波数 $238.000 \text{ MHz} \pm 2.4 \text{ kHz}$ ($f = f_{in} \cdot M1/N1$, $M1=356$, $N1=761$)
 レベル $0 \text{ dBm} \pm 1 \text{ dBm}$

コネクタ SMA

出力信号 2

信号の種類・個数 入射可能タイミング信号・2 個
周波数 0.66854 MHz ($f = \text{fin} * M1 / N1 / N2$, $M1=356$, $N1=761$, $N2=356$)
出力タイミングの調整 M2(1-308)の値によりリモート調整可能
レベル LVTTTL
コネクタ LEMO

出力信号 3

信号の種類・個数 アドレス同期信号・2 個
周波数 0.85939 MHz ($f = \text{fin} / N3$, $N3=592$)
出力タイミングの調整 M4(1-592)の値によりリモート調整可能
レベル LVTTTL
コネクタ LEMO

出力信号 4

信号の種類・個数 RF 信号・2 個
周波数 $\text{fin} = 508.759 \text{ MHz} \pm 5 \text{ kHz}$ ($f = \text{fin}$)
レベル $0 \text{ dBm} \pm 3 \text{ dBm}$
IQ 位相制御を行う前の信号であること。
コネクタ SMA

出力信号 5

信号の種類・個数 RF 信号・2 個
周波数 $\text{fin} = 508.759 \text{ MHz} \pm 5 \text{ kHz}$ ($f = \text{fin}$)
レベル $0 \text{ dBm} \pm 3 \text{ dBm}$
IQ 位相制御を行った後の信号であること。
コネクタ SMA

制御信号

信号の種類・個数 イーサネット/TCP-IP・1 個
コネクタ RJ-45

4.1.5 入出力信号の特性

出力信号 1

位相ノイズ

offset 10 Hz -90 dBc/Hz (目標値)

offset 10 kHz -120 dBc/Hz (目標値)

offset 10 MHz -145 dBc/Hz (目標値)

入力信号に Rohde&Schwarz SMA100A (SMA-B22 option 付き)を使用したときの値。出力の位相ノイズは入力位相ノイズに依存するため、目標値とする。

出力変動 ±0.1 dBm (rms) /1h 以内

出力信号 4, 5

位相ノイズ

offset 10 Hz -80 dBc/Hz (目標値)

offset 10 kHz -105 dBc/Hz (目標値)

offset 10 MHz -140 dBc/Hz (目標値)

入力信号に Rohde&Schwarz SMA100 A (SMA-B22 option 付き)を使用したときの値。出力の位相ノイズは入力位相ノイズに依存するため、目標値とする。

出力変動 ±0.1 dBm (rms) /1h 以内

信号の種類・個数 イーサネット/TCP-IP・1 個

コネクタ RJ-45

4.1.6 分数分周通倍

1. 出力信号 1 は入力信号 1 の周波数約 508.759 MHz に対して、周波数を 356 / 761 倍したおよそ 238 MHz の RF 信号を PLL 又は DDS 回路を用いて出力すること。
2. シンセサイザ発振器を用いて 356/761 の近似小数値倍の信号を出力することは誤差が加速器の同期ずれの原因となるのでおこなってはいけない。

4.1.7 制御

1. Ethernet を使って、分数に用いる整数値 M1, N1, M2, N2, M3, N3、位相設定値 $\Phi 1$, $\Phi 2$ 、同期リセットを設定する。
2. これらの設定値及び 238 MHz の PLL の Lock 状態を出力する。

4.1.8 試験

完成後、工場にて以下の試験を行い、試験検査成績書を提出すること。また、取得した試験データについても参考データとして提出すること。

外観、寸法試験

有害なキズ、変形、塗装のハガレなどが無いことを確認すること。
各部の寸法を確認すること。

性能試験

出力信号 1 から 5 の出力波形をオシロスコープ等で確認すること。

出力信号 1, 4, 5 の出力レベル及びその 8 時間安定度を測定し、本仕様を満たしているか確認すること。

出力信号 1, 4, 5 の周波数及びその 8 時間安定度を測定し、本仕様を満たしているか確認すること。

出力信号 1, 4, 5 の位相ノイズ (offset 10 Hz から 10 MHz) を測定し、本仕様を満たしているか確認すること。

リセット後の出力信号 1, 2, 3 の出力波形を 1 画面で取得 (オシロスコープを信号 2 でトリガーをかけて取得する。) し、リセット後に出力信号 2 のタイミングで信号 1 と信号 3 の位相が変わらないことを確認すること。

4.2 入射トリガタイミング同期RTM 72TSR508B01

4.2.1 大きさ

幅	MTCA.4 RTM 規格	ミッド幅
高さ	MTCA.4 RTM 規格	フル高さ

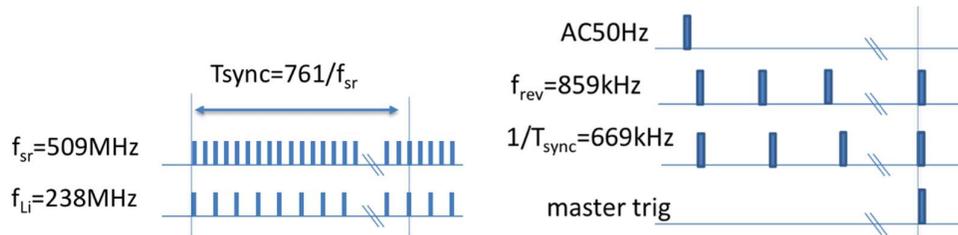
4.2.2 回路の概要

NanoTerasu の線型加速器 (Li) では 238 MHz、476 MHz、2856 MHz、5712 MHz の加速空洞で 3 GeV まで電子ビームを加速する。この加速器のタイミング基準となるマスタートリガ信号は蓄積リングの低電力高周波制御室から各加速ユニットに対して配信される。一方で次世代放射光施設の蓄積リング (SR) には $f_{sr} = 508.76$ MHz の SR マスターオシレータ信号で規定される電子ビームの時間的安定領域 (バケット) が $h = 592$ 個ある。Li から SR にビームを入射するためには、狙ったバケットに合わせたタイミングとなるように、Li のマスタートリガ信号のタイミングを調整する必要がある。

NanoTerasu の Li の周波数 ($f_{li} = 238$ MHz) は、SR の周波数の有理数倍 (508.76 MHz*356/761) とする。この場合、Li の出射タイミングと SR のバケットタイミングが合致するタイミングが有限の時間内に発生する。この原理に基づく同期システムを構築す

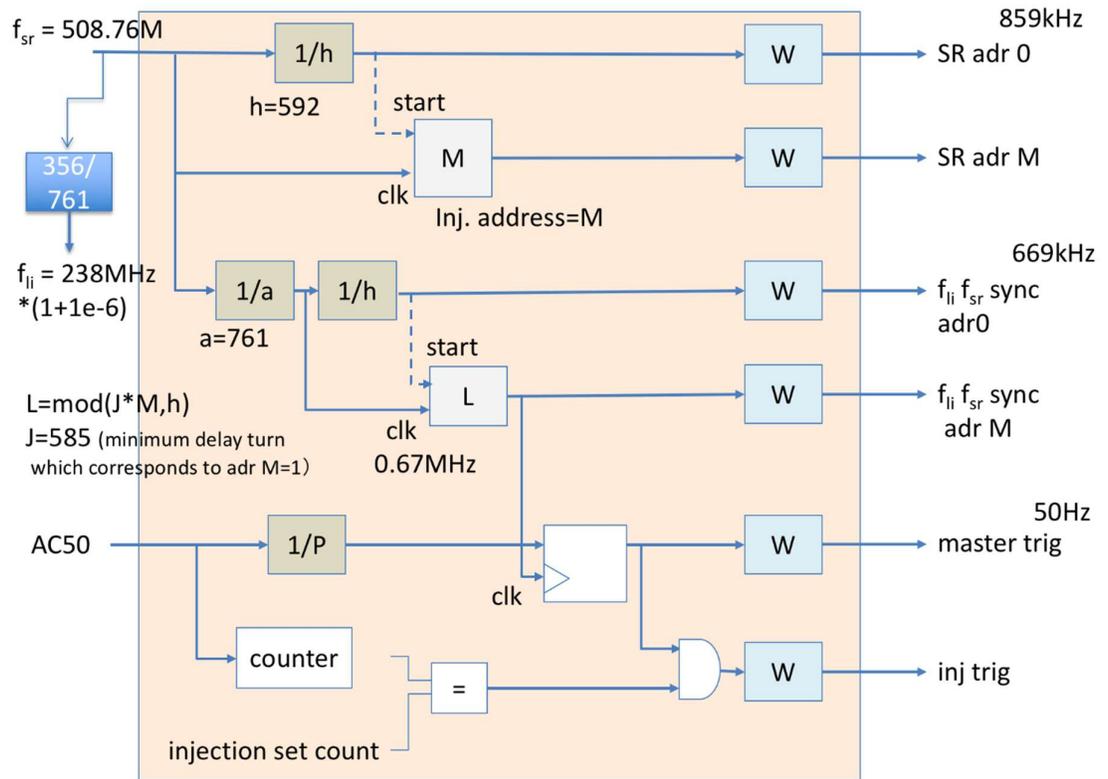
るために、ロジック信号処理回路を調達する。

このモジュールで実施する同期プロセスについて述べる。同期プロセスでは入射アドレス、SR マスターオシレータ信号を受けて、Li マスタートリガの出力タイミングの調整を行う。SR 入射アドレス、Li マスタートリガとマスターオシレータ信号などとのタイミング概念図を参考図 3 に示す。線型加速器はパルス電源の出力電圧安定度を高めるために商用 AC50 Hz との同期を取る。SR の入射アドレスに対応するタイミングは、SR 周回周波数 ($f_{rev}=508.76 \text{ MHz}/592 = 859 \text{ kHz}$) 毎に現れる。



参考図 3 : SR 入射アドレス (859 kHz 間隔) と Li マスタートリガタイミングとの時間関係。

このとき、 $T_{sync} = 761/f_{sr}$ の周期で Li と SR のタイミングが合致する。 T_{sync} の N 倍の時間だけ待つと、SR のタイミングは $761*N$ を 592 で割ったときの剰余 $M = \text{mod}(761*N, 592)$ のアドレス分ずれる。 $M=1$ となる最初の N は 585 である。つまり、 $585*T_{sync}$ だけ待つと前のアドレスから 1 つずれたタイミングとなる。従って、アドレス M に入射を行いたい場合には、 $T_{sync} * L = T_{sync} * \text{mod}(585*M, 592)$ だけ待てば良い。回路の構成概念図を参考図 4 に示す。



参考図 4 : 同期回路概念図。

本仕様書では、参考図 2 に示した同期回路の調達について規定する。ロジックの構成は Field Programmable Gate Array (FPGA) などを用いること。この回路の基板実装において、クロックの切り替え時にジッタが発生しないように、高速クロック信号の配線は可能な限り差動パターンを使用すること。ジッタの小さい素子を使用すること。MicroTCA.4 規格 Advanced Mezzanine Card (AMC) の高速デジタイザと組み合わせるため、本回路は MTCA.4 規格の Rear Transition Module (RTM) に準拠したものとすること。AMC から行う RTM の制御は、Zone3 コネクタ経由で I2C 規格の通信で行うこと。

4.2.3 機能の概要

MicroTCA.4 規格 同期用ロジック回路は、以下の機能を持つ。

- (1) SR 高周波基準信号 f_{sr} を $1/h$ に分周する。
分周器は SR 周回信号に同期した入射要求信号でリセットする。
- (2) 上記の (1) 信号をスタート信号として、 f_{sr} をクロックとして M クロック遅延した信号を出力する。
- (3) SR 高周波基準信号 f_{sr} を $1/a$ に分周する。

分周器は SR 周回信号に同期した入射要求信号でリセットする。

- (4) 上記の(3)信号について $1/h$ に分周する。
- (5) 上記の(4)信号をスタート信号として(3)信号をクロックとして L クロック遅延した信号を出力する。
- (6) AC50Hz を 32bit でカウントアップする。
- (7) AC50Hz 信号を $1/p$ に分周した信号を上記(5)の信号でタイミングを叩き直した信号を出力する。
- (8) AC50Hz のカウント値が指定した値と一致したときに、出射信号として(7)の信号を出力する。

4.2.4 入力信号

- (1) SR マスターオシレータ信号
 - ① 周波数：508.76 MHz (基準値：±50 kHz 内で変化する場合があります)
 - ② 信号レベル：0 dBm
 - ③ コネクタ：SMA-F
 - ④ インピーダンス：50 Ω
 - ⑤ VSWR：1.2 以下
- (2) 商用電源 50 Hz
 - ① 周波数：50 Hz
 - ② 信号レベル：0 dBm
 - ③ コネクタ：MMCX
 - ④ インピーダンス：50 Ω
- (3) ハーモニクス数 ($h=592$) 設定信号
 - ① 変更頻度：初期設定のみ
 - ② I2C 経由で設定、読み取れること 16 bit
- (4) バケットアドレス ($M \geq 0, M < 592$) 設定信号
 - ① 変更頻度：10 Hz 以下
 - ② I2C 経由で設定、読み取れること 16 bit
- (5) 同期除数 ($a=761$) 設定信号
 - ① 変更頻度：初期設定のみ
 - ② I2C 経由で設定、読み取れること 16 bit
- (6) アドレス 1 変化に対応する待ち時間 ($J=585$) 設定信号
 - ① 変更頻度：初期設定のみ
 - ② I2C 経由で設定、読み取れること 16 bit
- (7) AC50Hz 分周比 ($p \geq 1, p \leq 512$) 設定信号
 - ① 変更頻度：初期設定のみ

- ② I2C 経由で設定、読み取れること 8 bit
- (8) AC50 Hz カウンタ (count) 設定信号
 - ① 変更頻度：必要時のみ
 - ② I2C 経由で設定、読み取れること 32 bit
- (9) AC50 Hz カウンタリセット 設定信号
 - ① 変更頻度：必要時のみ (8) で設定した値をカウンタに書き込む
 - ② I2C 経由で設定、読み取れること 1 bit
- (10) 入射カウント値 (injection set count) 設定信号
 - ① 変更頻度：10 Hz 以下
 - ② I2C 経由で設定、読み取れること 32 bit

4.2.5 出力信号

- (1) 同期回路から外部に出力される信号は以下のとおりである。
 信号レベル：LVTTTL
 コネクタ：MMCX 又は SMA
- (2) SR 周回アドレス 0 信号
 - ① 周波数：SR マスターオシレータ信号/h。h は 8~4096 の整数とする。通常は 592 で使用する。
 - ② 設定した時間幅のパルス信号を出力できること。
 - ③ SR マスターオシレータ信号を h で分周した信号を出力すること。分周の値 h は I2C 経由で変更可能なこと。
- (3) SR 周回遅延信号
 - ① 周波数：SR マスターオシレータ信号/h
 - ② 設定した時間幅のパルス信号を出力できること。
 - ③ SR 周回アドレス 0 信号に対して SR マスターオシレータ信号の周期を単位として I2C で設定した M クロックに対応する遅延時間を与えた信号を出力すること。遅延の値 M は 0~h-1 の整数とする。
- (4) Li-SR 同期周回アドレス 0 信号
 - ① 周波数：SR マスターオシレータ信号/a/h。a は 8~4096 の整数とする。通常は 761 で使用する。
 - ② 設定した時間幅のパルス信号を出力できること。
 - ③ SR マスターオシレータ信号を a*h で分周した信号を出力すること。分周の値 a は I2C 経由で変更可能なこと。
- (5) Li-SR 同期周回遅延信号
 - ① 周波数：SR マスターオシレータ信号/a/h
 - ② 設定した時間幅のパルス信号を出力できること。

- ③ 上記(3)で生成した信号をスタートとして、SR マスターオシレータ信号を a で分周した周期を単位として $L = \text{mod}(J * M, h)$ クロックに対応する遅延時間を与えた信号を出力すること。遅延の値 L は 0~h-1 の整数とする。

(6) Li マスタートリガ出力信号

- ① 周波数：50 Hz/p
- ② 設定した時間幅のパルス信号を出力できること。
- ③ D フリップフロップ IC などを用いて SR マスターオシレータ信号で再同期した信号を出力すること。

(7) 出射出力信号

- ① 周波数：10 Hz 以下

(8) AC50Hz カウント信号

- ① I2C 経由で読み取れること 32 bit

(9) AMC との接続

- ① コネクタ：Zone 3 ZD コネクタ
- ② ピン配置：MicroTCA.4 Class A1.1 準拠

(10) 状態監視、制御

- ① IPMI による状態監視・制御ができること。
- ② 温度・電源などが監視できること。
- ③ 上記の制御を正常に行えることを確認するためのソフトウェアを作成すること。

4.2.6 試験、検査

外観、寸法、重量：仕様値を満足していることを確認し、試験検査成績書にまとめ提出すること。

・SR 周回出力信号

ジッター：SR マスターオシレータ信号に対して時間ジッターの rms 値が 10 ps 以下（目標 3 ps 以下）であること。

・Li マスタートリガ信号

ジッター：別途供給される $f_{Li} = f_{sr} * 356/761$ の周波数に対応する線型加速器の低雑音基準信号に対して時間ジッターの rms 値が 10ps 以下（目標 3 ps 以下）であること。

・SR 入射要求信号

ジッター：SR マスタートリガ信号に対して時間ジッターの rms 値が 100 ps 以下（目標 10 ps 以下）であること。

・SR 周回アドレス 0 信号

- ① 分周比

設定した分周比 N（N は整数）の出力信号が出ることを確認すること。

② ジッター

SR マスターオシレータ信号に対して時間ジッタの rms 値が 10 ps 以下（目標 3 ps 以下）であること。

• SR 周回遅延信号

① 遅延量

508.76 MHz テスト信号を 1 周期とする単位の時間で設定した時間遅延量 M (M は整数) の信号が出力されることを確認すること。

② ジッタ

SR マスターオシレータ信号に対して時間ジッタの rms 値が 50 ps 以下（目標 10 ps 以下）であること。

• 電源からの消費電力の計測を行うこと。

4.2.7 試験用ソフトウェア

遠隔制御に関して、以下のことを確認するための試験用ソフトウェアを作成すること。

① 入射要求を遠隔から与え正しく動作することを確認すること。

② 周回出力の分周比の設定ができること。

③ 周回出力の遅延量の設定ができること。

4.3 トリガレベル変換器の詳細仕様 84TR03C

MicroTCA.4 のタイミングモジュールと組み合わせ、外部機器へタイミング信号を伝送するためのデジタル信号のレベル変換器である。

構造：19 インチラックマウント型

トリガモジュールとの入出力:	VHDCI-68 集合コネクタ x 1 (前面パネル)
前面パネル トリガ入力:	LEMO (LVTTTL) x 8
前面パネル トリガ出力:	LEMO (LVTTTL) x 16
前面パネル クロック出力:	SMA (50 Ω LVTTTL) x 8
前面パネル 入力信号モニタ出力:	LEMO (LVTTTL) x 16
前面パネル 入出力モニタ LED:	入力 x 16, 出力 x 16
背面パネル トリガ入出力:	M12 X-code 4-pair (M-LVDS) x 8

信号系統

集合コネクタと前面・背面の入出力の間を FPGA で接続すること。

FPGA 内の Fan Out 及び Cross-point Switch で信号系統を制御すること。

信号バッファ・ドライバ

各入出力と FPGA の間に適切なバッファ・ドライバを入れること。

レベル変換器でのジッタ増加を最小限に抑えられるよう注意深く設計すること。

4.3.1 トリガモジュールとの入出力

コネクタ： 68ピン VHDCI-68 Receptacle (前面パネル)
個数： 1
信号レベル： LVDS
インピーダンス： 差動平衡100 Ω (公称)
入力信号： IN 1-1 ~ 1-8、および、IN 2-1 ~ 2-8
出力信号： OUT 1-1 ~ 1-8、および、OUT 2-1 ~ 2-8

4.3.2 前面パネル トリガ入力

コネクタ： LEMOコネクタ
信号レベル： LVTTTL
インピーダンス： 1 k Ω 程度
信号名： IN 1-5 ~ 1-8、および、IN 2-5 ~ 2-8の8信号。

4.3.3 前面パネル トリガ出力

コネクタ： 同軸LEMOコネクタ
信号レベル： LVTTTL
インピーダンス： 1 k Ω 程度
信号名： OUT 1-1 ~ 1-8、および、OUT 2-1 ~ 2-8の16信号、
各1個を出力。
表示： 各信号にLED表示を設けること。(点灯時間100 ms程度)

4.3.4 前面パネル クロック出力

コネクタ： SMA-Jack
信号レベル： LVTTTL
インピーダンス： 50 Ω (公称)
信号名： CLOCK 1 ~ 8の8信号。

4.3.5 前面パネル 入力信号のモニタ出力

コネクタ： 同軸LEMOコネクタ
信号レベル： LVTTTL
インピーダンス： 1 k Ω 程度
信号名： IN 1-1 ~ 1-8、および、IN 2-1 ~ 2-8の16信号。
表示： 各信号にLED表示を設けること。(点灯時間100 ms程度)

4.3.6 背面パネル 信号入出力

入出力規格コネクタ： M12 X-Codeコネクタ

X-Code (8ピン) 1/10 Gbpsイーサネット用のものを使用し、ねじ式とすること。

IEC 61076-2-109 準拠のこと。

コネクタ名： CN 1 ～ CN 8の8個。

信号レベル： M-LVDS

インピーダンス： 差動平衡100 Ω (公称)

4.3.7 信号レベル変換

トリガモジュールからのLVDS信号入力を高速・低ジッタのバッファで受けてFPGAに入力すること。

トリガモジュールへの信号は、FPGAからの信号を高速・低ジッタのLVDSドライバで受けて出力すること。

前面パネルからのLVTTTL入力信号を高速・低ジッタのバッファで受けてFPGAに入力すること。

前面パネルへのトリガ信号出力は、FPGAからの信号を高速・低ジッタのLVTTTLドライバで受けて出力すること。

前面パネルへのクロック信号出力は、FPGAからの信号を高速・低ジッタの50 Ω LVTTTLドライバで受けて出力すること。

背面パネルのM-LVDSトリガ入出力とFPGAの間を高速・低ジッタのM-LVDS Receiver / Driverで接続して入出力すること。

M-LVDSの入出力切り替えはFPGAから制御できること。

4.3.8 外観・構造

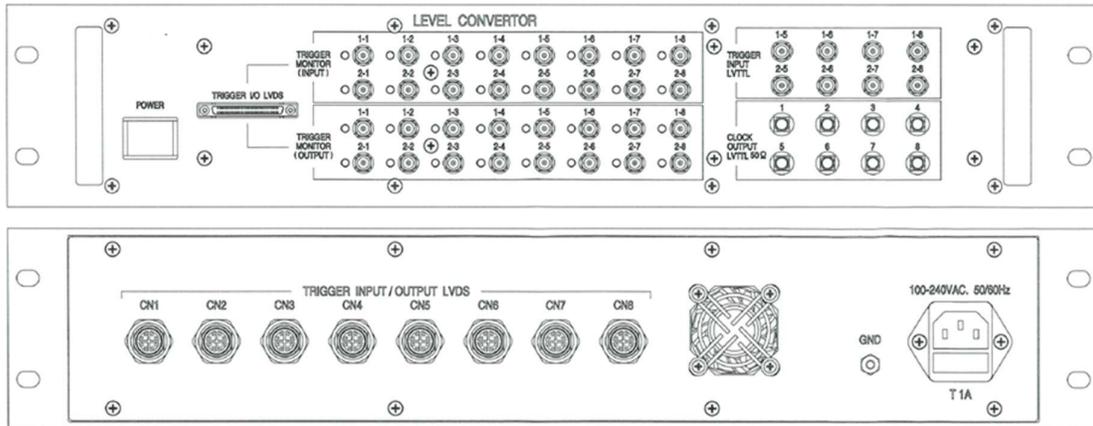
前面・背面パネルの外観参考図5に示す。

前面パネル・背面パネルは別途指示する色で塗装すること。

前面パネル、及び、背面パネルの文字・図の表示は彫刻/スクリーン印刷を行うこと。

寸法： EIA 19インチラックマウント 2U、奥行き500 mm程度

重量： 20 kg以下



参考図5: トリガレベル変換回路 外観参考図

4.3.9 電源

- 使用電圧 : AC 100 V / 200 V
- 入力電力 : 100 VA以下
- 付属品 : 抜け防止ACケーブル (IEC C13 lock plus)
- 電源スイッチ : フロントパネルに設ける。
- 電源表示 : LED (緑) で状態を表示する。

4.3.10 試験・検査

以下の試験・検査結果を行い、試験検査成績書に結果を記載すること。

外観・寸法検査

寸法が規格の範囲内であること。

外観に顕著な傷がないこと。

機能検査

トリガ入力が適切に認識され、トリガ出力に適切な信号が出るか確認すること。入出力が正しく対応しているか確認すること。

トリガ入出力の LED 表示が適切であるか確認すること。

性能検査

トリガ出力: パルス幅 100 ns の入力信号を入れたときの出力波形をオシロスコープで取得すること。

クロック出力: 100 MHz のクロックを入れたときの出力波形をオシロスコープで取得すること。

各信号経路の入力-出力間の遅延時間とタイミングジッタを測定すること。

トリガ出力・クロック出力とも、信号レベル、立ち上がり・立ち下がり時間、遅延時間、タイミングジッタが仕様を満たしているか確認すること。

5. 提出図書

完成図、試験検査成績書、取扱説明書を1つにまとめたA4サイズのファイルを完成図書として提出すること。また電子データとしても提出すること。

6. 納期

令和9年2月26日（金）

7. 納入場所

宮城県仙台市青葉区荒巻字青葉 468-1
NanoTerasu ユーザーズオフィス 持ち込み渡し

8. 検査条件

第7項に示す納入場所に納入後、員数検査、外観検査の合格をもって検査合格とする。

9. 契約不適合責任

契約不適合責任については、契約条項のとおりとする

10. グリーン購入法の推進

（1）本契約において、グリーン購入法（国等による環境物品等の調達の推進等に関する法律）に適合する環境物品（事務用品、OA機器等）の採用が可能な場合は、これを採用するものとする。

（2）本仕様に定める提出図書（納入印刷物）については、グリーン購入法の基本方針に定める「紙類」の基準を満たしたものであること。

11. 協議

本仕様書に記載されている事項及び本仕様書に記載のない事項について疑義が生じた場合は、QSTと協議のうえ、その決定に従うものとする。

（要求者）

部課室名： NanoTerasu センター
高輝度放射光研究開発部 加速器グループ
氏 名： 上島 考太