

## 仕 様 書

### 1. 件名

蓄積リングモニタ機器制御用MTCAボードの購入

### 2. 目的

本件は、国立研究開発法人量子科学技術研究開発機構（以下「QST」という。）が運用するNanoTerasuにおいて、高精度に蓄積電子ビームをモニタする際の高速デジタル、トリガー信号を配信するためのトリガAMCを購入するものである。

### 3. 仕様

・三菱電機ディフェンス&スペーステクノロジーズ社製

MicroTCA.4 規格トリガ AMC 型名 3EM45432 （相当品不可） 3 台

・三菱電機ディフェンス&スペーステクノロジーズ社製

MicroTCA.4 規格 BPM 用高速デジタル AMC 型名 3EM41357 （相当品不可） 2 台

#### 3.1 MicroTCA.4 規格トリガ AMC

##### (1) 全体的な仕様

トリガモジュールの参考ブロック図を図1に示す。また、主な仕様は以下のとおりである。

規格：MicroTCA.4 AMC (Double-width, Mid-size)

デジタル入出力：以下のデジタル入出力に対応すること。

(ア)前面パネル集合コネクタ VHDCI-68

(イ)AMC バックプレーン

(ウ)RTM 用 Zone 3 コネクタ

クロック信号入力：以下のクロック源に対応し、必要に応じて切り替えられること。

(ア)内部クロック

(イ)AMC バックプレーン

(ウ)前面パネル SMA

(エ)RTM 用 Zone 3 コネクタ

クロック信号出力：以下へのクロック信号出力が可能であること。

(ア)AMC バックプレーン

(イ)RTM 用 Zone 3 コネクタ

デジタル処理：高速・大容量 FPGA による高速デジタル処理が可能なこと。

メモリ：データ保存などのための高速・大容量 SDRAM を搭載すること。

高速データ通信

(ア) AMC バックプレーンにて CPU との間で PCI express による高速通信ができること。

(イ) AMC バックプレーンにて Multi-Giga-bit Serial Transfer (GTX) によるボード間高速通信ができること。

(ウ) Zone 3 コネクタにて RTM との高速通信ができること。

モジュールマネジメント： DESY Module Management Controller (MMC) v1.00 準拠のこと。

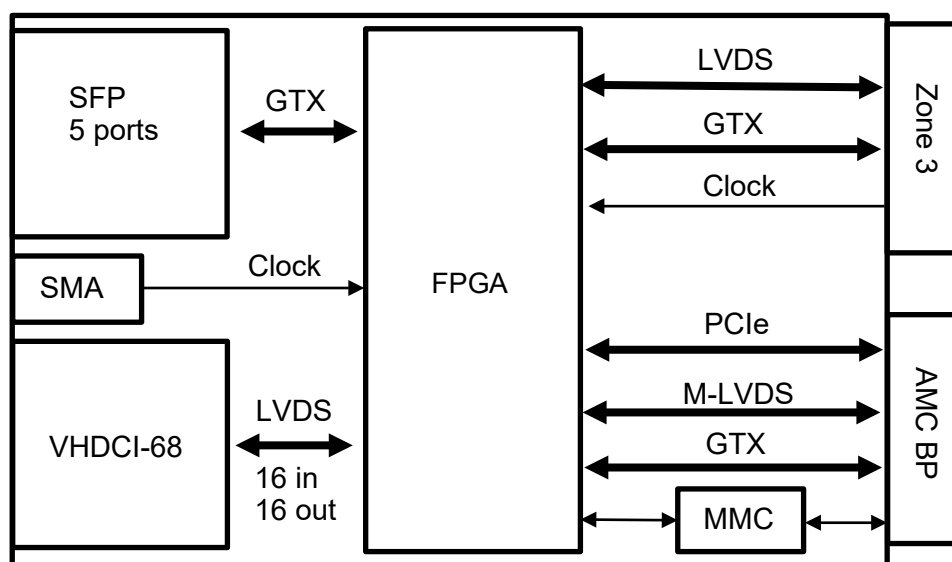


図 1： MicroTCA.4 トリガモジュール 参考ブロック図

## (2) SFP ポート

SFP ポートを 5 つ搭載すること。

FPGA の GTX ポートと接続し、高速シリアル通信ができること。

## (3) トリガ信号入出力用集合コネクタ

規格： VHDCI-68

入力： LVDS 16 ペア

出力： LVDS 16 ペア

## (4) クロック

以下のクロックを選択可能とする。

内部クロック

#### AMC 前面パネル入力

コネクタ： SMA ジャック 50 Ω

入力レベル： 0 dBm Typical

#### AMC バックプレーン

ポート： TCLK A-D

入力レベル： LVDS

#### RTM クロック

コネクタ： Zone 3 ZD コネクタ

入力レベル： LVDS

#### (5) RTM との接続

コネクタ： Zone 3 ZD コネクタ

ピン配置： MicroTCA.4 Class D1.2 準拠

デジタル入力： LVDS 16 ペア以上

デジタル出力： LVDS 16 ペア以上

GTX： 2 ポート以上

User I<sup>2</sup>C： IPMI とは別に RTM 制御用の I<sup>2</sup>C 通信ができること。

#### (6) AMC バックプレーン

#### PCI Express

規格： PCI Express Gen. 2 x 4 程度

コネクタ： AMC バックプレーン

ポート： 4 - 7

#### デジタル入出力

信号レベル： M-LVDS

ポート： 17 - 20

#### ボード間高速通信

規格： FPGA の GTX 機能による。

コネクタ： AMC バックプレーン

ポート： 12 - 15

#### (7) FPGA

ロジックセル： 30 万以上

フリップ・フロップ： 40 万以上

I/O ピン： 400 以上

ブロック RAM： 10 Mbit 以上

DSP スライス： 800 以上

GTX トランシーバ： 16 以上

#### (8) 内蔵メモリ

容量： 1 GB 程度

規格： DDR3-SDRAM または それ以上

(9) 状態監視・制御

IPMI による状態監視・制御ができること。

温度・電源などが監視できること。

前面パネルに LED 表示をいくつか設けること。

(10) 電源

AMC バックプレーンより供給

電圧

マネジメント用： +3.3 V

主電源用： +12 V

Zone 3 より RTM へ電源を出力 (30 W max.)

消費電力： 50 W 以下 (RTM 除く)

(11) 構造

寸法： MicroTCA.4 AMC Double-width Mid-size

重量： 3 kg 以下

### 3.1.1 FPGA ファームウェア制作

(1) タイミング送信機能

タイミング信号形式： 8B/10B 変換された高速シリアル信号

送信方式： SFP ポートからの光信号

送信ポート数： 4

ビットレート： 1 Gbps 程度

トリガ信号入力： 以下のデジタル入力から選択できること。

前面パネル VHDCI-68 LVDS

AMC バックプレーン M-LVDS

Zone 3 LVDS

トリガレート： 最大 60 Hz 程度

クロック信号入力： 以下のクロック信号入力から選択できること。

前面 SMA コネクタ

AMC バックプレーン TCLK

Zone 3

内部クロック

クロック周波数： 238 MHz (線型用) または 509 MHz (リング用)

トリガ信号送信： トリガ信号入力後、ただちにトリガコードを送信すること。

(2) ACK コード受信機能

トリガコードを送った後に ACK コードが返るのを待つこと。

ACK コードが返るまでのクロック数をカウントする機能をもつこと。

#### (3) タイミングデータ送信機能

ACK コード受信後、一定時間後に次のトリガの情報を送信すること。

送信データはマスタトリガカウント、イベント番号、イベント番号ごとのグローバルな遅延量などである。

1 トリガあたり、100 以上のイベントデータを送信できること。

1 秒間程度の送信データをモジュール内に記憶できること。

#### (4) 非同期トリガ信号送信機能

上記のトリガ信号入力とは別の非同期トリガ信号送信機能を持つこと。

非同期トリガ信号入力は前面パネル、AMC バックプレーン M-LVDS、Zone 3 から選択できること。

非同期トリガ信号入力数は 4 程度とする。

後述のアラームを受信した際にも非同期トリガ信号が出せること。

非同期トリガ信号の送信プライオリティは最低とし、通常のトリガ信号やタイミングデータの送信を優先すること。

割り込み：トリガ信号入力、アラーム入力時に割り込みがかけられること。

#### (5) タイミング受信・トリガ信号生成機能

受信方式：SFP ポートからの光信号（1 ポート）

#### (6) ファンアウト機能

送信用 SFP ポート（4 ポート）から光信号のファンアウトができること。

送信器と同様の ACK 受信機能を持つこと。

下位からの ACK は上位に送る必要はない。

クロック・データリカバリ

高速シリアル信号からリカバリしたクロック・データで動作すること。

トリガ信号出力：以下の出力からそれぞれ独立なトリガ信号が出力できること。

前面パネル VHDCI-68 LVDS

AMC バックプレーン M-LVDS

Zone 3 LVDS

#### (7) トリガ遅延機能

出力ポートごとに、イベント番号、出力 ON/OFF、ローカル遅延量を設定できること。

送信器からのグローバルな遅延量データ、受信器に設定されたローカルな遅延量に応じてトリガに遅延を与えられること。

遅延量の設定は 1 ns 程度の分解能を持つこと。

トリガジッタは 10 ps rms 以下を目標とする。

#### (8) クロック信号出力機能

出力ポートごとに、クロック信号の出力もできること。

クロック信号の分周比を設定できること。

分周器はトリガ信号でリセットできること。

クロック信号に遅延を与えることができること。

(9) ACK 返信機能: トリガ信号を受信したらただちに ACK 信号を返信すること。

(10) インヒビット機能

前面パネル集合コネクタ、AMC バックプレーン M-LVDS、Zone 3 からの入力により、特定のトリガ信号出力が停止できること。

出力ポートごとにどのインヒビット信号を有効にするか設定できること。

割り込み: トリガ信号受信、アラーム入力時に割り込みがかけられること。

(11) アラーム信号集約機能

受信器からのアラーム信号を上位に送る機能を持つこと。

ファンアウト機能をもつ受信器は下位からのアラーム信号を適切に集約して上位に送信すること。

下位からのアラーム信号をそのモジュールからでも読み出せること。

アラーム入力: 以下の入力から選択できること。

前面パネル集合コネクタ

AMC バックプレーン M-LVDS ポート

Zone 3

受信器 ID

各受信器には ID 番号を設定できること。

アラーム信号にはこの ID 番号を付加して送信すること。

アラームの先着判定ができること。

アラームはラッチできること。

### 3.1.2 デバイスドライバ・API ライブラリ制作

(1) 概要

本トリガモジュールに対応するデバイスドライバを制作すること。

MicroTCA.4 汎用ドライバを支給するので、それに沿ったものを制作すること。

システムコールを直接呼び出すことなく簡単にデバイスにアクセスできるような API 関数ライブラリ (DevAPI) も制作すること。

(2) 環境

制作するデバイスドライバの環境は以下のとおりである。

OS: Linux Ubuntu 16.04 LTS, 18.04 LTS のいずれか。

CPU: x86-64

(3) 汎用ドライバの構造

MicroTCA.4 汎用ドライバは、図 2 に示すように複数のレイヤに分けられた構造を持っている。

ドライバとその API は以下の 4 レイヤからなる。

Bus Driver (kernel 領域)

Child Driver (kernel 領域)

DevAPI (user 領域)

EM Application (user 領域)

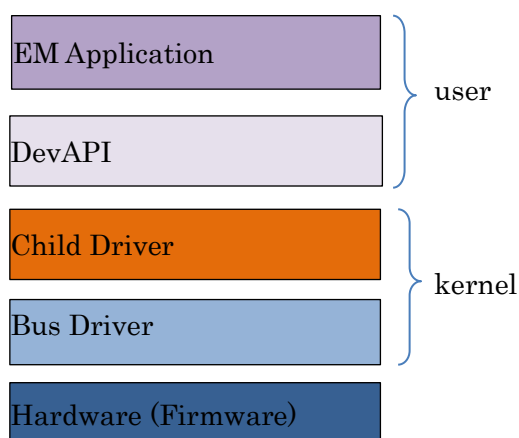


図 2 : MicroTCA.4 汎用ドライバのレイヤ構造

#### (4) Bus Driver レイヤ

Bus Driver は OS ごとに異なるがモジュールの種類には依存しない部分のレイヤで、以下の機能を果たす。

OS レベルのデバイス登録

ハードウェアレジスタレベル I/O

DMA 転送

Bus Driver は独立カーネルモジュールとして存在し、そのすべての機能は kernel export function を呼び出すことにより利用可能である。

この関数群には、OS へのデバイスの登録・削除や、データの I/O をするものなどがある。

#### (5) Child Driver レイヤ

Child Driver は各モジュールの機能に応じた処理を行うレイヤで、以下の機能を果たす。

デバイスの認識、初期化、終了などの処理。

各種システムコールのコールバック処理。

システムコールの内容に応じた I/O などの命令。

割り込みに対する応答。

これらの処理の中でモジュールにアクセスする際には、Bus Driver の関数を呼び出すこととなる。

#### (6) DevAPI レイヤ

DevAPI はアプリケーションから呼び出される関数群で、以下の役割を果たす。

モジュールの機能に沿った DevAPI 関数群でシステムコールを隠蔽。

DevAPI 関数の呼び出しにより、その関数の中でシステムコールが発行されてモジュールにアクセスする。

やりとりするデータ型に応じて適切な構造体を定義する。

#### (7) Bus Driver の関数

bd\_init\_module\_exp: OS にドライバを登録する。

bd\_probe\_exp: デバイス認識と OS 登録する。

bd\_remove\_exp: デバイスの切断処理を行う。

bd\_set\_drvdata: Child Driver が管理するバッファを登録する。

bd\_get\_drvdata: Child Driver が管理するバッファのポインタを取得する。

bd\_setup\_interrupt: OS に割り込みハンドラを登録する。

bd\_open\_exp: open システムコールの際に Child Driver から呼び出される。

bd\_release\_exp: release システムコールの際に Child Driver から呼び出される。

bd\_def\_read\_exp: read システムコールにて Child Driver に特定の処理がないときに呼び出される。

bd\_def\_write\_exp: write システムコールにて Child Driver に特定の処理がないときに呼び出される。

bd\_def\_seek\_exp: seek システムコールにて Child Driver に特定の処理がないときに呼び出される。

bd\_def\_mmap\_exp: mmap システムコールの際に Child Driver から呼び出される。

bd\_def\_ioctl\_exp: ioctl システムコールにて Bus Driver に対する命令の際に Child Driver から呼び出される。

bd\_dma\_alloc: DMA 転送の準備のため、DMA 用メモリを確保する。

bd\_get\_bus\_addr: DMA 用参照 offset をバスアドレスに変換する。

bd\_dma\_free: DMA 用メモリを解放する。

bd\_get\_io\_range: I/O メモリアドレスを取得する。

bd\_uint32\_iowrite: バスにデータを書き込む。

bd\_uint32\_ioread: バスからデータを読み出す。

#### (8) システムコール

各システムコールのコールバック処理を以下に示す。

init

Bus Driver が管理するデータ構造体をアロケートし、それを Bus Driver に渡す。  
各種 file operation システムコール (open, read, write, ioctl, seek, release,  
etc.) のコールバック関数のポインタを Bus Driver に渡して登録する。

(bd\_init\_module\_exp)。

バスエントリーポイント (PCI-e だと probe + remove) を登録する。

probe

Bus Driver に probe の基本処理を命令する。(bd\_probe\_exp)

Child Driver 専用データバッファを確保して Bus Driver に登録する。

(bd\_set\_drvdata)

必要に応じて Child Driver の割り込みハンドラを Bus Driver に登録する。

(bd\_setup\_interrupt)

I/O メモリやレジスタがある場合、そのアドレスを取得して初期化する。

(bd\_get\_baraddress)

remove

Child Driver 専用データバッファアドレスを取得して解放する。

(bd\_get\_drvdata)

Bus Driver の bd\_remove\_exp 関数を呼び出して終了処理を行う。

open, release

それぞれ、bd\_open\_exp, bd\_release\_exp を呼び出す。

read, write, seek

ファイルアクセスと同様のデータアクセスをモジュールに対して行う。

DMA 機能を実装してもよい。

とくに処理が必要ない場合、bd\_def\_read\_exp, bd\_def\_write\_exp,

bd\_def\_seek\_exp をそれぞれ呼び出す。

ioctl

モジュールの機能に対応した I/O 処理を行う。

必要に応じてやりとりするデータの構造体や request コードを定義する。

### (9)DMA 転送

DMA 転送は ioctl か、read / write のコールバック処理として実装する。

DMA 用バッファはドライバの初期化時点で確保され、終了時に解放される。

ユーザ空間からこのバッファを参照できるように mmap を実装すること。

DMA 転送初期化シーケンスは以下のとおりである。

Child Driver は bd\_dma\_alloc を呼んで必要な DMA 用バッファを確保する。その際、  
ユーザ空間で参照できる offset をバッファごとにつける。

Bus Driver は確保したバッファのアドレス、ハンドル (バスアドレス)、参照 offset

を保存する。

DevAPI は `BD_IOCTL_GET_DMA_OFFSETS` の `ioctl` を使って ① の参照 offset を取得し、それを `mmap` に渡して DMA 用バッファの virtual address を取得する。

Child Driver は `mmap` のコールバックで Bus Driver の `bd_def_mmap_exp` を呼び出す。

DMA 転送シーケンスは以下のとおりである。

DMA 書き込みの場合、DevAPI が DMA 用バッファの virtual address に書き込みたいデータをコピーする。

DevAPI が `ioctl` で転送元 or 転送先の参照 offset を渡す。

Child Driver は `bd_get_bus_addr` を呼んで参照 offset をバスアドレスに訳し、それを DMA コントローラに登録する。

DMA コントローラに必要な設定をして転送命令を発行する。

DMA 転送が終わるまでに待機する。待機は同期でも非同期でも可能である。

同期の場合は DMA 転送が終わるまでブロックして待機する。

待機中に CPU 負荷がかからないように OS の

`wait_event_interruptible_timeout` を使う。

非同期の場合は転送終了割り込みの際に kernel tasklet を発生する。その tasklet のハンドラ (bottom-half interrupt) はアプリケーションに signal を発行し、DevAPI がその signal を検知することで転送終了を認識する。

DMA 読み込みの場合、DevAPI は DMA バッファの virtual address にて読み込まれたデータを参照する。

DMA 終了処理は以下のとおりである。

Child Driver は `bd_dma_free` を呼んで DMA 用バッファを解放する。

### 3.1.3 SFP 光送受信モジュール

トリガモジュール間で光信号を用いたトリガ信号の送受信ができるよう、以下の SFP 光送受信モジュールを5式納入すること。

規格: SFP または SFP+

ビットレート: 1 Gbps 以上

対応波長: 1310 nm 帯

対応光ファイバ: シングルモード光ファイバ

光コネクタ: LC Duplex

### 3.1.4 試験検査

すべての機器において以下の検査を行うこと。

外観試験: 有害なキズや変形などが無いことを確認すること。

寸法試験：規格どおりの寸法となっていることを確認すること。

電源投入試験：機器の電源投入時に適切に起動することを確認すること。

#### 3.1.4.1 トリガモジュールの試験

活線挿抜試験：MicroTCA.4の活線挿抜シーケンスに従い、ボードが活線挿抜できること。

モジュールマネジメント：MMCによる各種制御・監視ができること。

制作したファームウェアをAMCにインストールし、動作試験を行うこと。

試験時には本件で制作したデバイスドライバを用いること。

動作試験の内容は以下のとおりである。

デジタル入出力の確認。

クロックの選択などの制御。

光高速シリアル伝送によるトリガ信号送受信の確認。

トリガデータのファンアウトの確認。

トリガタイミング制御の確認。

8時間以上の連続試験及びその際のタイミングドリフトの確認。

トリガジッタの測定。

アラーム伝送試験。

割り込み処理の確認。

モジュール間のシリアルデータ転送の確認。

## 3.2 BPM用高速デジタルAMC

### 詳細仕様

高速デジタルAMCは、508.76 MHzの高周波信号をアンダーサンプリング方式にて検波するための高速AD変換器（ADC）と、高周波信号を直接IQ変調方式により生成するためのベースバンド信号出力用高速DA変換器（DAC）、デジタル信号処理用の高性能FPGAを搭載するモジュールである。

本AMCは、10チャンネルの高速ADC及び2チャンネルの高速DACを持ち、ADC・DACとも、分解能16-bitかつ370 MSPSとする。

アナログ入出力はAMC背面のZone 3コネクタを使用する。

ADC・DACの部品単体のカタログ性能が十分に引き出せるよう、アナログ入出力回路、電源、クロックなども含め、注意深く設計すること。

ADC・DACのクロックには、内部クロック、前面パネル入力、Zone 3コネクタ入力などから選択して使用できること。

トリガについても、セルフトリガ、前面パネル入力、Zone 3コネクタ入力などから選択できること。

ADC・DAC のデータは FPGA による高速処理ができること。

デジタル入出力として、前面パネル経由、Zone 3 経由、バックプレーン経由のものを用意すること。

本 AMC が BPM 信号処理装置、LLRF 信号処理装置にて適切に動作させられるよう、基本的なデータ処理をおこなうファームウェア、および、BPM, LLRF それぞれの機能に対応した拡張ファームウェアを製作すること。

これらのファームウェアに対応したデバイスドライバと API ライブラリソフトウェアも制作すること。

### 3.2.1 全体的な仕様

本 AMC の参考ブロック図 3 に示す。また、主な仕様は以下のとおりである。それぞれの項目の詳細は後述する。

(1) 規格：MicroTCA.4 AMC

(2) アナログ入力：10 チャンネル、16 ビット、370 MSPS

(3) アナログ入力信号検出精度：ENOB 11 ビット以上 (100 MHz 入力にて)

(4) ENOB 10 ビット以上 (508 MHz 入力にて)

(5) アナログ出力：2 チャンネル、16 ビット、370 MSPS 以上

(6) デジタル入出力：以下のデジタル入出力に対応すること。前面パネルコネクタ、AMC バックプレーン、RTM 用 Zone 3 コネクタ

(7) クロック：以下のクロック源に対応し、必要に応じて切り替えられること。内部クロック、AMC バックプレーン前面パネル、RTM 用 Zone 3 コネクタ

(8) デジタル処理：高速・大容量 FPGA による高速デジタル処理が可能なこと。

(9) メモリ：波形データ保存などのための高速・大容量 SDRAM を搭載すること。

(10) 高速データ通信：AMC バックプレーンにて CPU モジュールとの間で PCI express による高速通信ができること。AMC バックプレーンにて Multi-Giga-bit Serial Transfer (GTX) によるボード間高速通信ができること。前面 SFP ケージにて外部との高速通信ができること。

(11) モジュールマネジメント：DESY Module Management Controller (MMC)

v1.00 準拠

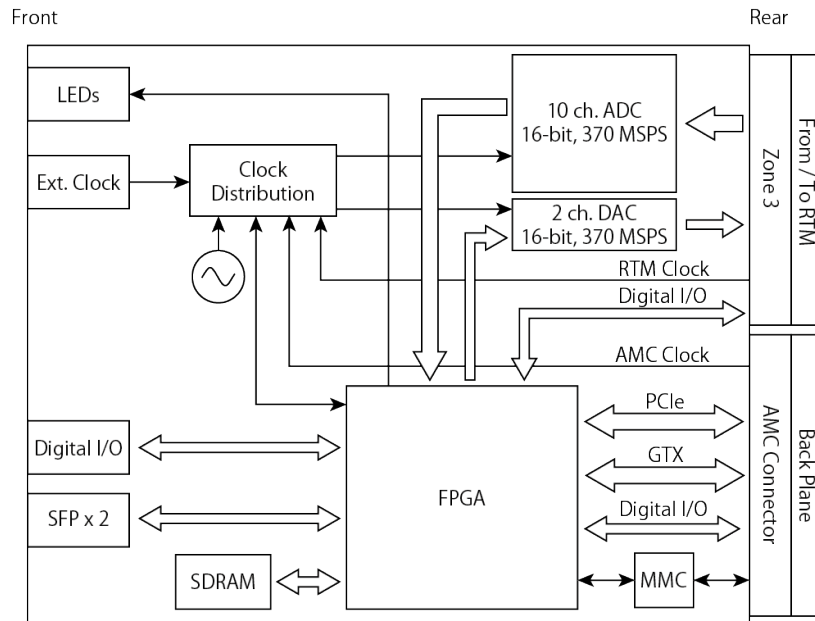


図 3: 高速デジタイザの参考ブロック図

### 3.2.2 アナログ入力

- (1) チャンネル数： 10 (同時サンプル)
- (2) 入力レベル：  $\pm 1$  V peak-to-peak (+7 dBm)、差動平衡 100  $\Omega$
- (3) コネクタ： Zone 3 ZD コネクタ
- (4) チャンネル間アイソレーション： 50 dB 以上 (DC - 600 MHz)
- (5) VSWR： 1.5 以下 (DC - 600 MHz)
- (6) AD 変換器

分解能： 16 ビット

サンプリングレート ( $f_{CLK}$ )： 370 SPS (または、それ以上)

アナログバンド幅： DC - 600 MHz 以上

信号・ノイズ比： 70 dBFS 以上 (100 MHz 入力にて)

ENOB： 11 ビット以上 (100 MHz 入力にて)、10 ビット以上 (508 MHz 入力にて)

積分非直線性： 8 LSB 以下

安定度： 8 LSB 以下 (温度変化  $\pm 1$   $^{\circ}\text{C}$  以下の条件にて)

### 3.2.3 アナログ出力

- (1) チャンネル数： 2 (同時サンプル)
- (2) 出力レベル：  $\pm 1$  V peak-to-peak、差動平衡 100  $\Omega$
- (3) コネクタ： Zone 3 ZD コネクタ
- (4) チャンネル間アイソレーション： 60 dB 以上 (100 MHz にて)

#### (5) DA 変換器

分解能： 16 ビット

サンプリングレート： 370 MSPS (または、それ以上)

アナログバンド幅： DC - 100 MHz 以上

信号・ノイズ比： 70 dBFS 以上 (10 MHz 出力にて)

積分非直線性： 8 LSB 以下

安定度： 8 LSB 以下 (温度変化  $\pm 1^{\circ}\text{C}$  以下の条件にて)

#### 3.2.4 デジタル入出力

以下のデジタル入出力を用意すること。

##### (1) 前面パネル

デジタル入力： 4 点

デジタル出力： 4 点

信号レベル： LVDS

コネクタ： RJ-45 (固定用ネジ穴つき)

##### (2) AMC バックプレーン

ポート： Port 17 - 20

信号レベル： M-LVDS

##### (3) RTM

デジタル入力： 4 点程度

デジタル出力： 4 点程度

信号レベル： LVDS

ほかに、I2C、JTAG などの通信もできること。

コネクタ： Zone 3 ZD コネクタ

#### 3.2.5 クロック

以下のクロックを選択可能とする。

##### (1) 内部クロック

370 MHz のクロックが発生できること。

ジッタ： 100 fs rms 以下 (目標 50 fs rms 以下)

周波数選択： PLL による連続的な周波数選択ができること。

##### (2) AMC 前面パネル入力

コネクタ： SMA Jack 50  $\Omega$

入力レベル： 0 dBm Typical

VSWR : 1.5 以下 (10 - 370 MHz)

(3) AMC バックプレーン

ポート : TCLK A-D

入力レベル : LVDS

(4) RTM クロック

コネクタ : Zone 3 ZD コネクタ

入力レベル : LVPECL

(5) クロック分配においては以下の性能を満たすこと。

ジッタ増加 : 50 fs rms 以下

分配先 : ADC, DAC, FPGA

### 3.2.6 トリガ

以下のトリガを選択可能とする。

(1) セルフトリガ

(2) ソフトウェアトリガ

(3) 前面パネル : 上記デジタル入力による

(4) AMC バックプレーン : 上記デジタル入力による

(5) RTM トリガ : 上記デジタル入力による

### 3.2.7 RTM との接続

(1) コネクタ : Zone 3 ZD コネクタ

(2) ピン配置 : MicroTCA.4 Class A1.1 準拠

### 3.2.8. FPGA

(1) ロジックセル : 30 万以上

(2) フリップ・フロップ : 40 万以上

(3) IO ピン : 300 以上

(4) DSP スライス : 800 以上

(5) マルチギガビットトランシーバ : 16 以上

(6) クロック : 370 MHz 以上

### 3.2.9 内蔵メモリ

(1) 容量 : 1 GB 以上

(2) 規格 : DDR3-SDRAM または それ以上

### 3.2.10 通信

(1)PCI Express

規格： PCI Express Gen. 2 x 4

コネクタ： AMC

バックプレーン

ポート： 4 - 7

(2)Extended Fat Pipe

規格： FPGA の GTX 機能による

コネクタ： AMC バックプレーン

ポート： 8 - 11

(3)ボード間高速通信

規格： FPGA の GTX 機能による

コネクタ： AMC バックプレーン

ポート： 12, 13

(4)外部との高速通信

規格： SFP

コネクタ： 前面 SFP ケージ

ポート数： 2

### 3.2.11 状態監視・制御

- (1) IPMI による状態監視・制御ができること。
- (2) 温度・電源などが監視できること。
- (3) 前面パネルに LED 表示をいくつか設けること。

### 3.2.12 電源

- (1) AMC バックプレーンより供給
- (2) 電圧 マネジメント用： 3.3 V 主電源用： 12 V
- (3) Zone 3 より RTM へ電源を出力 (30 W max.)
- (4) 消費電力： 50 W 以下 (RTM 除く)

### 3.2.13 構造

寸法： MicroTCA.4 AMC Double-width Mid-size

重量： 3 kg 以下

### 3.2.14 基本ファームウェア

(1) AD 変換データ処理

- ① AD 変換データ処理の参考ブロック図を図 4 に示す。

- ② ADC からのサンプルデータ・波形データを読み出せること。  
 データ型：符号付き 16 ビット整数  
 波形データは間引いて取得できることとし、間引き周期は上位から指定できること。  
 間引き周期 ( $N_{WF}$ ): 0 - 65,535 クロック (全チャンネル共通)  
 データレート:  $f_{CLK}/N_{WF}$   
 波形データ長: 16,384  
 ADC の最新値 (点データ) が取得できること。  
 ADC データの絶対値をピークホールドし、最近の最大値が取得できること。  
 ピークホールドした値は 1 秒程度ごとに自動リセットすること。
- ③ ADC からのデータが正弦波の際にデジタルダウンコンバージョン (DDC) を行って、IQ (In-phase and Quadrature) 波形に変換できること。
- ④ DDC をバイパスする機能を設け、チャンネルごとに設定できること。
- ⑤ DDC タップ数は以下のとおりとする。  
 タップ数 : 4 - 16  
 タップ数は上位から指定できること。  
 タップ数は全チャンネル共通とする。
- ⑥ DDC 係数は以下のとおりとする。  
 データ型: 符号付き 16 ビット複素固定小数点数 (小数部 12 ビット)  
 係数は上位から指定できること。  
 係数は全チャンネル共通とする。
- ⑦ DDC の位相は外部信号で初期化できること。  
 初期化トリガは、フロントパネル入力、Zone 3 CLK 入力、M-LVDS 入力から選択できること。  
 初期化は全チャンネル同時とする。
- ⑧ DDC 係数の乗算後、高調波を取り除くために移動平均フィルタをかけること。  
 移動平均フィルタタップ数: 4 - 16  
 タップ数は DDC タップ数と同一とし、上位から指定できること。
- ⑨ DDC 出力 IQ データは以下のとおりとする。  
 データレート ( $f_{IQ}$ ):  $f_{CLK}/4$   
 データ型: 符号付き 16 ビット複素整数
- ⑩ DDC 出力 IQ データに以下の FIR フィルタをかけられること。  
 FIR フィルタタップ数: 1 - 31 (奇数のみ)  
 タップ数は上位から指定できること。  
 タップ数は全チャンネル共通とする。
- ⑪ FIR フィルタ係数は以下のとおりとする。

データ型：符号付き 16 ビット固定小数点数（小数部 14 ビット）  
 係数は対称とし、タップ数の半分の個数の係数を上位から指定できること。  
 係数は全チャンネル共通とする。

- ⑫ FIR フィルタ出力 IQ データは以下のとおりとする。

データレート： $f_{IQ}$

データ型：符号付き 16 ビット複素整数

- ⑬ IQ データの振幅と位相を調整するため、以下の複素係数をかけられること。

データ型：符号付き 18 ビット固定小数点数（小数部 14 ビット）

係数は上位から指定できること。

係数は各チャンネル別々に指定できること。

- ⑭ IQ 出力データ

データレート： $f_{IQ}$

データ型：符号付き 16 ビット複素整数

IQ データ取得

IQ 波形の記録ができること。

- ⑮ DDC 後の IQ サンプルデータ・IQ 波形データを読み出せること。

波形データは間引いて取得できることとし、間引き周期は上位から指定できること。

間引き周期 ( $N_{WF}$ ): 0 ~ 65, 535 クロック (ADC 波形と共通、全チャンネル共通)

データレート： $f_{IQ}/N_{WF}$

データ型：符号付き 16 ビット複素整数

波形データ長：4, 096

IQ の最新値 (点データ) が取得できること。

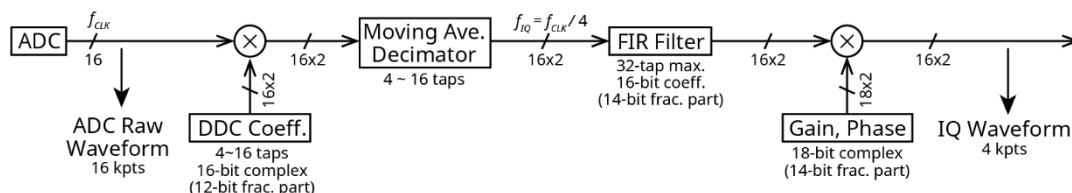


図 4 : AD 変換データ処理の参考ブロック図

## (2) ADC, IQ 波形収集

先に述べた ADC 波形収集、IQ 波形収集は以下の要領でできること。

- ① 波形収集トリガ

セルフトリガ、デジタル入力、ソフトウェアトリガ、異常検出が選択できること。

トリガは ADC, IQ 共通で、全チャンネル共通とする。

- ② 波形データはリングバッファに取り込んでおき、トリガを検出してから所定のタイミング後にバッファ更新を停止し、メモリにコピーすること。
- ③ セルフトリガ  
ソースとして、ADC 値の上限・下限、IQ 振幅 2 乗値の上限・下限が設定できること。  
それぞれのトリガソースの有効・無効が設定できること。
- ④ デジタル入力トリガ  
ソースとして、前面パネルデジタル入力、Zone 3 デジタル入力、M-LVDS 入力が設定できること。  
それぞれのトリガソースの有効・無効が設定できること。
- ⑤ ソフトウェアからの命令でトリガがかけられること。
- ⑥ 異常検出トリガ  
上記のセルフトリガ、デジタル入力、ソフトウェアトリガを異常検出トリガ（インターロック入力）に割り当てられること。  
異常検出時のデータは、通常のトリガでのデータと異なるアドレスに保存すること。  
異常検出の要因やその先着判定結果を保持し、取得できること。  
保持したデータは上位からの命令でクリアできること。
- ⑦ トリガ入力からリングバッファ更新停止までの遅延量を上位から指定できること。  
遅延量は 0 - 65, 535 クロックが設定できること。  
遅延量は ADC, IQ 共通、全チャンネル共通とする。
- ⑧ トリガ繰り返しは 60 Hz 以上に対応すること。
- ⑨ トリガ出力として、各種通常トリガ、および、異常検出トリガをそれぞれデジタル出力できること。
- ⑩ 波形データは DMA による高速転送ができること。

### (3) DA 変換出力

- ① DA 変換器から以下のような任意の波形を出力できること。  
データ型：符号付き 16 ビット整数  
波形データ長：8, 192  
波形データ更新クロックは分周できることとし、分周比は上位から指定できること。  
データ更新クロック分周比：0 - 65, 535 クロック（全チャンネル共通）

最大データレート:  $f_{IQ}$

- ② DC 的な出力もできること。
- ③ 波形出力トリガとして、デジタル入力、ソフトウェアトリガ、セルフトリガが選択できること。
- ④ トリガ繰り返しは 60 Hz 以上に対応すること。

(4) 割り込み

波形取得完了などの際に CPU に割り込みを発生できること。

(5) モジュールの各種設定・制御

- ① ADC・DAC の設定ができること。
- ② 内部クロックの周波数を設定できること。
- ③ 内部クロック、外部クロック、RTM クロックを切り替えられること。
- ④ AMC 前面パネル、AMC バックプレーン、Zone 3 コネクタなどのデジタル入出力ができること。
- ⑤ RTM の各種制御ができること (IPMB, User I2C など)。
- ⑥ 温度などの状態監視ができること。

### 3.2.15 BPM 信号処理装置用 拡張ファームウェア

BPM 信号処理装置に用いるデジタイザ AMC には、以下に示す機能をファームウェアに実装すること。

(1) 概要

- ① 信号の流れの参考ブロック図を図 5 に示す。
- ② BPM の信号は 4 ch. 1 組で、2 組分のデータが同時に処理できること。  
BPM 1 は ch. 1 - 4 を、BPM 2 は ch. 7 - 10 を使用する。  
Ch. 5, 6 は基準信号モニタとして使用する。

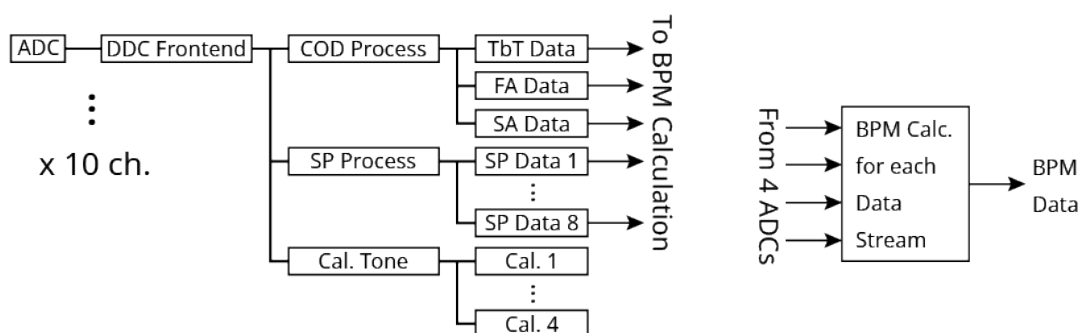


図 5: 信号の流れの参考ブロック図

(2) COD プロセス部

- ① COD (Closed Orbit Distortion) プロセス部の参考ブロック図を図 6 に示す。
- ② COD プロセスにおいて、検出した信号に対して以下の 3 種類のデジタルフィルタが同時にかけられること。

TbT (Turn-by-Turn) データ: バンド幅 100 kHz - 1 MHz

FA (Fast Acquisition) データ: バンド幅 2 kHz 程度

SA (Slow Acquisition) データ: バンド幅 2 Hz 程度

COD プロセスにおいて、検出した波形を同時に以下の 3 種類のデータレートでデシメーションし、BPM 演算部に出力できること。

TbT データ ( $f_{TbT}$ ): 200 kSPS - 1 MSPS

FA データ ( $f_{FA}$ ): 10 kSPS

SA データ ( $f_{SA}$ ): 10 SPS

- ③ COD プロセスの TbT, FA, SA の各データストリームの初段にて以下の CIC フィルタをかけてデシメーションできること。

ステージ数 ( $N$ ): 3 (固定)

タップ数 ( $MR$ ): 8 - 512 (ダウンサンプル周期  $R$  の 2 倍)

ダウンサンプル周期 ( $R$ ): 4 - 256 (別途指示する。)

- ④ TbT 用 CIC フィルタ・デシメータの入出力データは以下のとおりとする。

DDC フロントエンド部からの IQ データが入力される。

入力データレート:  $f_{IQ}$

入力データ型: 符号付き 16 ビット複素整数

出力データレート:  $f_{IQ}/R_{TbT}$

出力データ型: 符号付き 20 ビット複素整数

ゲイン: 16 倍 (4 ビット分)

- ⑤ FA 用 CIC フィルタ・デシメータの入出力データ

TbT 用 FIR フィルタの出力 IQ データが入力される。

入力データレート:  $f_{IQ}/R_{TbT}$

入力データ型: 符号付き 24 ビット複素整数

出力データレート:  $f_{IQ}/(R_{TbT}R_{FA})$

出力データ型: 符号付き 24 ビット複素整数

- ⑥ SA 用 CIC フィルタ・デシメータの入出力データ

FA 用ダウンサンプラの出力 IQ データが入力される。

入力データレート:  $f_{FA}$

入力データ型: 符号付き 24 ビット複素整数

出力データレート:  $f_{FA}/R_{SA}$

出力データ型: 符号付き 24 ビット複素整数

- ⑦ TbT, FA, SA の各データストリームの CIC フィルタ・デシメータの後に FIR を

設けること。

FIR フィルタのタップ数: 1 ~ 64 (別途指示する。)

FIR フィルタの係数データ型: 符号付き 16 ビット固定小数点数 (小数部 14 ビット)

FIR フィルタの係数は TbT, FA, SA それぞれ独立に上位から設定できること。

⑧ TbT 用 FIR フィルタ・デシメータの入出力データは以下のとおりとする。

TbT 用 CIC フィルタ・デシメータ部からの IQ データが入力される。

入出力データレート:  $f_{IQ}/R_{TbT}$

入力データ型: 符号付き 20 ビット複素整数

出力データ型: 符号付き 24 ビット複素整数

ゲイン: 16 倍 (4 ビット分)

⑨ FA 用 CIC フィルタ・デシメータの入出力データは以下のとおりとする。

FA 用 CIC フィルタ・デシメータ部からの IQ データが入力される。

入出力データレート:  $f_{IQ}/(R_{TbT}R_{FA})$

入出力データ型: 符号付き 24 ビット複素整数

⑩ SA 用 CIC フィルタ・デシメータの入出力データは以下のとおりとする。

SA 用 CIC フィルタ・デシメータ部からの IQ データが入力される。

入力データレート:  $f_{FA}/R_{SA}$

入出力データ型: 符号付き 24 ビット複素整数

⑪ TbT, FA, SA の各データストリームの FIR フィルタ出力データを間引くために  
ダウンサンプラを設けること。このダウンサンプラの出力を BPM 演算に使用する。

間引き周期 ( $T$ ): 1 ~ 64 (別途指示する。)

⑫ TbT 用ダウンサンプラの入出力データは以下のとおりとする。

TbT 用 FIR フィルタからの IQ データが入力される。

入力データレート:  $f_{IQ}/R_{TbT}$

出力データレート ( $f_{TbT}$ ):  $f_{IQ}/(R_{TbT}T_{TbT})$  (0.1 ~ 1 MSPS)

入出力データ型: 符号付き 24 ビット複素整数

⑬ FA 用ダウンサンプラの入出力データは以下のとおりとする。

FA 用 FIR フィルタからの IQ データが入力される。

入力データレート:  $f_{IQ}/(R_{TbT}R_{FA})$

出力データレート ( $f_{FA}$ ):  $f_{IQ}/(R_{TbT}R_{FA}T_{FA})$  (10 kSPS)

入出力データ型: 符号付き 24 ビット複素整数

⑭ SA 用ダウンサンプラの入出力データは以下のとおりとする。

SA 用 FIR フィルタからの IQ データが入力される。

入力データレート:  $f_{FA}/R_{SA}$

出力データレート ( $f_{SA}$ ):  $f_{FA}/(R_{SA}T_{SA})$  (10 SPS)

入出力データ型: 符号付き 24 ビット複素整数

- ⑮ CIC フィルタ・デシメータ、および、ダウンサンプレのクロックは外部信号で初期化できること。

初期化は全チャンネル同時とする。

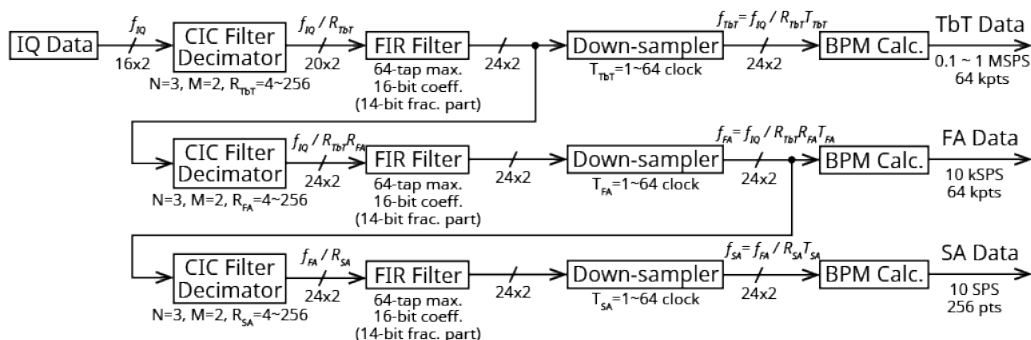


図 6 : COD プロセス部参考ブロック図

### (3) SP プロセス部

① SP (Single-Pass) プロセス部の参考ブロック図を図 7 に示す。

② SP プロセス部では、DDC 部からの IQ データに 8 種類のマスクを並列にかけて、得られたデータを BPM 演算部に出力すること。

外部デジタル入力からの周回周波数 (0.1 ~ 1 MSPS) に同期したマスクを IQ データにかけて出力すること。

マスク形状は上位から指定できること。

マスク数: 4 種類並列

マスクビット数: 4,096 max.

マスクは BPM データ 4 チャンネル分共通の 2 組とする。

周回周波数の入力元を選択できること。

周回周波数の立ち上がりでマスクの先頭に戻ること。

③ SP プロセスのマスクが正しくかかっているか確認できるよう、マスクをかけた後の波形を取得できること。

波形データ長: 4,096 max.

波形取得のトリガは 3.2.14(2) に準ずることとし、異常検出は不要である。

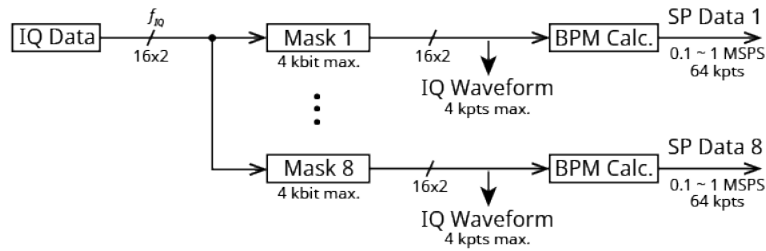


図 7： SP プロセス部参考ブロック図

#### (4) 較正トーンプロセス部

- ① 較正トーン (Cal. Tone) プロセスでは、4 種類の周波数の信号を DDC により抽出し、デジタルフィルタ・デシメータでの処理後、10 SPS の IQ データとして出力すること。
- ② 較正トーンプロセス部の参考ブロック図を図 8 に示す。
- ③ DDC 後の IQ データに対して NCO を用いた DDC 処理をおこなって 4 種類の較正トーンを抽出すること。

NCO により較正トーンをベースバンドに落とすための DDC 係数を生成すること。

NCO 数: 4 (全チャンネル共通)

NCO 動作周波数:  $f_{IQ}$

周波数分解能: 0.1 Hz 程度

周波数設定分解能: 32 ビット

各 NCO の周波数を上位から設定できること。

DDC 係数データ型: 符号付き 16 ビット複素固定小数点数 (小数部 12 ビット)

IQ データと NCO データの複素数乗算をして出力すること。

入出力データレート:  $f_{IQ}$

入出力データ型: 符号付き 16 ビット複素整数

- ④ 較正トーンプロセス部では、DDC 係数乗算後、2 段の CIC フィルタ・デシメータと FIR フィルタ、ダウンサンプラを介して 10 SPS のデータレートで出力すること。

- ⑤ 較正トーンプロセス部の CIC フィルタ・デシメータは以下のとおりとする。

DDC 係数の乗算後、高調波を取り除くために 2 段の CIC フィルタ・デシメータをかけること。

CIC ステージ数 ( $N$ ): 3 (固定)

1 段目 CIC タップ数: 4 ~ 8, 192 (1 段目ダウンサンプル周期と同一)

2 段目 CIC タップ数: 8 ~ 16, 384 (2 段目ダウンサンプル周期の 2 倍)

1 段目 CIC ダウンサンプル周期 ( $R_1$ ): 4 ~ 8, 192 クロック (別途指示する。)

2 段目 CIC ダウンサンプル周期 ( $R_2$ ): 4 ~ 8, 192 クロック (別途指示する。)  
ダウンサンプル周期は全チャンネル共通、かつ、全較正トーン共通とする。

1 段目 CIC 出力データレート:  $f_{IQ}/R_1$

2 段目 CIC 出力データレート:  $f_{IQ}/(R_1R_2)$

データ型: 符号付き 24 ビット複素整数

1 段目 CIC のゲイン: 256 倍 (8 ビット分)

- ⑥ 較正トーンプロセス部の 1 段目の CIC フィルタ・デシメータのあとに係数をかけてゲイン調整ができること。

係数データ型: 符号なし 16 ビット固定小数点数 (小数部 8 ビット)

ゲインは各チャンネル、各較正トーン、すべて別々の値が上位から設定できること。

入出力データレート:  $f_{IQ}/R_1$

入出力データ型: 符号付き 24 ビット複素整数

- ⑦ 較正トーンプロセス部の CIC フィルタ適用後のデータの特性をさらに調整するため、FIR フィルタをかけられること。

FIR フィルタタップ数: 1 - 64 (別途指示する。)

FIR フィルタ係数データ型: 符号付き 16 ビット固定小数点数 (小数部 14 ビット)

フィルタ係数は上位から指定できることとし、全チャンネル共通、かつ、全較正トーン共通とする。

入出力データレート:  $f_{IQ}/(R_1R_2)$

入出力データ型: 符号付き 24 ビット複素整数

- ⑧ 較正トーンプロセス部の FIR フィルタの出力データを間引くためのダウンサンプルラを設けること。

間引き周期 ( $T$ ): 1 - 64 (別途指示する。)

周期は全チャンネル共通、かつ、全較正トーン共通とする。

入力データレート:  $f_{IQ}/(R_1R_2)$

出力データレート:  $f_{IQ}/(R_1R_2T)$  (10 SPS)

入出力データ型: 符号付き 24 ビット複素整数

- ⑨ 各チャンネル、各較正トーンの出力値をレジスタに保持すること。

データ長: 256 points

データ型: 符号付き 24 ビット複素整数

最新データを示すポインタも取得できること。

- ⑩ ファームウェア容量が足りない場合は、4 種類の周波数の演算を並列に行わず、各周波数を順番に処理してもよい。

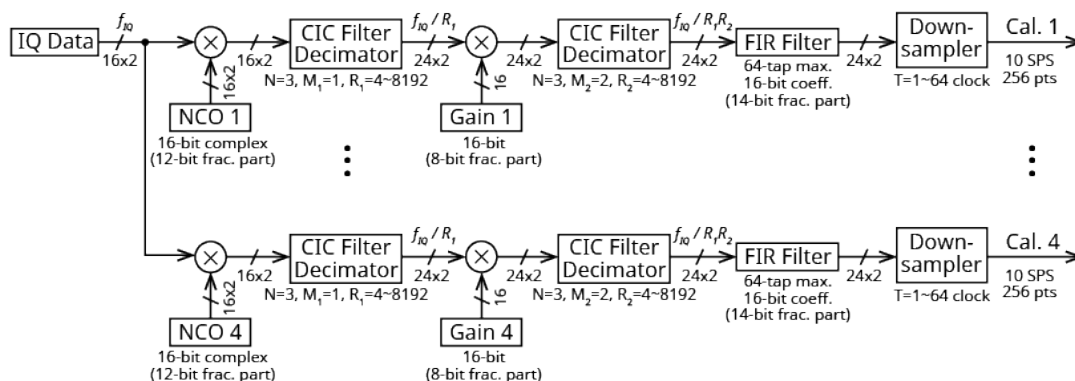


図 8 : 較正トーンプロセス部参考ブロック図

(5) ビーム位置演算

- ① COD プロセスと SP プロセスから得られたデータから信号振幅を求め、リアルタイムにビーム位置が演算できること。
- ② ビーム位置の計算は所定の  $\Delta/\Sigma$  の計算後、7 次多項式にて求める。
- ③ BPM 演算部の参考ブロック図を図 9 に示す。
- ④ BPM 演算部の入力データは以下のとおりである。

COD プロセスのデータ型: 符号付き 24 ビット複素整数 x 4 (データストリーム 1 つ、BPM 1 台につき)

COD プロセスのデータは TbT, FA, SA 並列で処理すること。

SP プロセスのデータ型: 符号付き 16 ビット複素整数 x 4 x (Mask Length) (BPM 1 台につき)

SP プロセスでは、マスク 4 種類分のデータを並列で処理すること。

⑤ 振幅演算

COD データについては、チャンネルごとに CORDIC にて  $\sqrt{I^2 + Q^2}$  の演算を行うこと。

SP データについては、チャンネルごとに  $\sum_n(I_n^2 + Q_n^2)$  を計算し、CORDIC にて平方根をとること。

出力データ型: 符号なし 24 ビット整数 x 4

⑥ オフセット補正

すべての振幅演算後のデータにおいて、振幅のオフセット補正ができること。

オフセットは各チャンネル、各データストリーム、各マスク、すべて独立とする。

データ型: 符号なし 24 ビット整数 x 4

⑦ 振幅計算結果そのものの値を保持すること。

⑧  $\Delta/\Sigma$  演算 (4 電極)

以下の式にしたがって  $\Delta_x$ ,  $\Delta_y$  を演算すること。

$$\Delta_x = (V_1 - V_2 - V_3 + V_4)/(V_1 + V_2 + V_3 + V_4)$$

$$\Delta_y = (V_1 + V_2 - V_3 - V_4)/(V_1 + V_2 + V_3 + V_4)$$

入出力データ型：符号付き 24 ビット固定小数点数（小数部 23 ビット）

⑨ 多項式演算（4 電極）

以下の 7 次多項式にて  $X$ ,  $Y$  のビーム位置を算出し、保持すること。

$$X = \sum_{n=0}^7 \sum_{m=0}^{7-n} a_{nm} \Delta_x^n \Delta_y^m$$

$$Y = \sum_{n=0}^7 \sum_{m=0}^{7-n} b_{nm} \Delta_x^n \Delta_y^m$$

出力データ型：符号付き 24 ビット固定小数点数（小数部 20 ビット）

係数データ型：単精度浮動小数点数

⑩ 3 電極の  $\Delta/\Sigma$  演算

以下の式にしたがって  $\Delta_{xu}$ ,  $\Delta_{xd}$ ,  $\Delta_{yl}$ ,  $\Delta_{yr}$  を演算すること。

$$\Delta_{xu} = (V_1 - V_2)/(V_1 + V_2)$$

$$\Delta_{xd} = (V_4 - V_3)/(V_3 + V_4)$$

$$\Delta_{yl} = (V_2 - V_3)/(V_2 + V_3)$$

$$\Delta_{yr} = (V_1 - V_4)/(V_1 + V_4)$$

入出力データ型：符号付き 24 ビット固定小数点数（小数部 23 ビット）

⑪ 3 電極の多項式演算

以下の 7 次多項式にて  $X$ ,  $Y$  のビーム位置（4 種類）を算出し、保持すること。

$$X_1 = \sum_{n=0}^7 \sum_{m=0}^{7-n} a_{1nm} \Delta_{xd}^n \Delta_{yl}^m$$

$$X_2 = \sum_{n=0}^7 \sum_{m=0}^{7-n} a_{2nm} \Delta_{xd}^n \Delta_{yr}^m$$

$$X_3 = \sum_{n=0}^7 \sum_{m=0}^{7-n} a_{3nm} \Delta_{xu}^n \Delta_{yr}^m$$

$$X_4 = \sum_{n=0}^7 \sum_{m=0}^{7-n} a_{4nm} \Delta_{xu}^n \Delta_{yl}^m$$

$$Y_1 = \sum_{n=0}^7 \sum_{m=0}^{7-n} b_{1nm} \Delta_{xd}^n \Delta_{yl}^m$$

$$Y_2 = \sum_{n=0}^7 \sum_{m=0}^{7-n} b_{2nm} \Delta_{xd}^n \Delta_{yr}^m$$

$$Y_3 = \sum_{n=0}^7 \sum_{m=0}^{7-n} b_{3nm} \Delta_{xu}^n \Delta_{yr}^m$$

$$Y_4 = \sum_{n=0}^7 \sum_{m=0}^{7-n} b_{4nm} \Delta_{xu}^n \Delta_{yl}^m$$

各計算式の係数の総数は 36 である。

出力データ型：符号付き 24 ビット固定小数点数（小数部 20 ビット）

係数データ型：単精度浮動小数点数

⑫ 多項式の係数は BPM 2 台分独立の 2 組設定できること。

⑬ ベクトル和

各 BPM の 4 チャンネルの IQ ベクトル和を保持すること。

出力データ型：符号付き 24 ビット整数

⑭ ビーム位置の演算は、通常の 4 電極での計算、および、そのうち 3 電極の組み合わせ（4 種類）での計算の両方が同時にできること。

SA データにおいては、4 電極、3 電極のすべてのデータを同時に算出すること。  
 FA データの 3 電極の計算においては、いずれかを選択して 1 種類のみ出力できればよい。

TbT データ、SP データの 3 電極の計算は不要である。

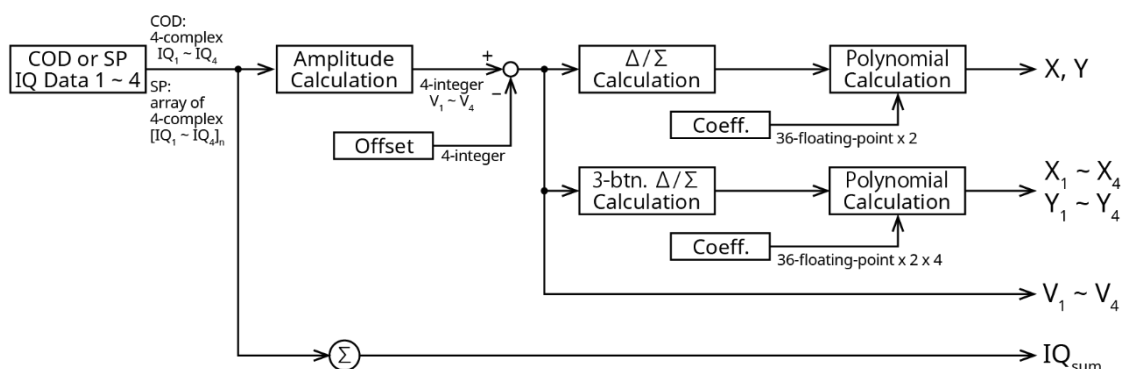


図 9 : BPM 演算部参考ブロック図

#### (6) 基準信号データ

① Ch. 5, 6 のデータは BPM 位置の演算をせずに記録する。

② それぞれのチャンネルにおいて以下のデータを保持すること。

各チャンネルの TbT, FA, SA、および、SP の 4 種類のマスク、それぞれの IQ データ。

保持するデータの深さはビーム位置の各データストリームに準ずる。

#### (7) インターロック機能

① ビーム位置の上下限でインターロックを発報できること。

FA データの X, Y データを使用する。

4 電極から計算したもの、または、3 電極から計算したもののいずれかを選択できること。

X, Y それぞれの上下限を上位から設定できること。

インターロックの有効・無効を設定できること。

インターロック信号を AMC 前面パネル、AMC バックプレーンの M-LVDS に出力できること。

インターロックはラッチすることとし、外部からの命令によってクリアできること。

② AMC 前面パネル、AMC バックプレーンの M-LVDS、Zone 3 コネクタからのインターロック入力にも対応すること。

③ インターロック発報やデジタル入力などのイベントの際に、その前後一定時間のデータを保存できること。

#### (8) その他の機能

- ① AMC 前面 SFP コネクタ、AMC バックプレーン高速シリアルポートにて、FA データの高速デジタル入出力ができること。
- ② BPM 用 RTM (後述) のステップアッテネータや較正用トーン周波数などの I<sup>2</sup>C 制御ができること。

#### 3.2.16 試験

##### (1) 一般的な試験項目

以下の試験をおこない、問題ないことを確認すること。

- ① 外観試験： 有害なキズや変形などが無いことを確認すること。
- ② 寸法試験： 規格どおりの寸法となっていることを確認すること。
- ③ 電源投入試験： MicroTCA.4 の電源供給シーケンスにしたがい、ボードに電源が供給できること。また、消費電力が適切かどうか確認すること。
- ④ 活線挿抜試験： MicroTCA.4 の活線挿抜シーケンスにしたがい、ボードが活線挿抜できること。
- ⑤ モジュールマネジメント： MMC による各種制御・監視ができること。

##### (2) 性能試験

- ① 高速デジタル AMC と RTM を組み合わせた状態で以下の試験を行い、本仕様書に記載した性能を満たしていることを確認すること。
- ② 試験の際にアナログ入出力をおこなうための RTM は貸与可能である。
- ③ 以下の高周波性能試験を行うこと。

各入出力の挿入損失・利得・VSWR などがすべて仕様を満たしていること。

チャンネル間アイソレーションが十分であること。

- ④ 以下のアナログ・デジタル変換性能試験を行うこと。

ADC, DAC の積分非直線性が仕様を満たしていること。

ADC, DAC の ENOB、および、ノイズレベルが仕様を満たしていること。

ADC, DAC のバンド幅が仕様を満たしていること。

- ⑤ 以下のクロック性能試験を行うこと。

内部クロックのジッタが仕様を満たしていること。

クロック分配後のジッタ増加が十分小さいこと。

- ⑥ 安定度試験

2 時間以上の連続運転を行うこと。

利得やゼロ点電圧の変動が十分小さいこと。

##### (3) ファームウェア機能試験

- ① 制作したファームウェアを高速デジタル AMC にインストールし、動作試験を行うこと。

② 試験時には本件で制作したデバイスドライバを用いること。

③ 基本ファームウェアの試験内容は以下のとおりである。

アナログ波形の取得。

正弦波形をデジタルダウンコンバージョンした振幅・位相波形の取得。

デジタルフィルタの確認。

デシメーション機能の確認。

DDC 初期化操作の確認。

アナログ波形の生成。

DMA 転送の確認。

デジタル入出力の確認。

クロックの選択などの制御。

割り込み処理の確認。

異常検出機能の確認、および、その際のデータ取得機能の確認。

モジュール間のシリアルデータ転送の確認。

インターロック試験。

④ BPM 用拡張ファームウェアの試験内容は以下のとおりである。

ビーム位置演算機能の確認。

ビーム位置などの点データ・波形データの取得。

較正トーン抽出機能の確認。

RTM のステップアッテネータ、較正トーン周波数などの制御の確認。

異常検出機能の確認、および、その際のデータ取得機能の確認。

モジュール間のシリアルデータ転送の確認。

インターロック試験。

情報の開示

製造者以外にもコード開発ができるよう、ファームウェアとソフトウェアのソースコードを原則として公開すること。

#### 4. 納期

令和9年3月26日（金）

#### 5. 納入場所

宮城県仙台市青葉区荒巻字青葉 468-1

NanoTerasu ユーザーズオフィス

#### 6. 検査条件

第5項に示す納入場所に納入後、員数検査、外観検査の合格および第7項に示す

提出図書の完納をもって検査合格とする。

。

## 7. 提出図書

以下の書類又は提出物を日本語で作成して提出すること。

	図 書 名	提 出 時 期	部 数
①	試験検査成績書	検収前	1部

電子ファイル形式でCD-Rなどの記録媒体に収めた物を提出すること。  
またトリガ AMC、BPM 用高速デジタイザ AMC のファームウェア、ドライバを記録媒体に入れて提出すること。

(提出先)

QST NanoTerasu センター  
高輝度放射光研究開発部 加速器グループ

## 8. 契約不適合責任

契約不適合責任については、契約条項のとおりとする

## 9. グリーン購入法の推進

本契約において、グリーン購入法（国等による環境物品等の調達の推進等に関する法律）に適合する環境物品（事務用品、OA機器等）の採用が可能な場合は、これを採用するものとする。

## 10. 協議

本仕様書に記載されている事項及び本仕様書に記載のない事項について疑義が生じた場合は、QSTと協議のうえ、その決定に従うものとする。

(要求者)

部課室名： NanoTerasu センター  
高輝度放射光研究開発部 加速器グループ  
氏 名： 上島 考太